



Technology Innovator

Puya

PY32F410 系列数据手册

32 位 ARM® Cortex®-M4 微控制器



Puya Semiconductor (Shanghai) Co., Ltd.

产品特性

- 内核与系统
 - 32 位 ARM® Cortex®-M4 处理器内核，支持 DSP 指令
 - 典型工作频率可达 128 MHz
- 存储器
 - 128 KB 字节的双 bank Flash (支持 RWW: Read-While-Write)
 - 16 KB 字节的 SRAM
- 时钟、复位和电源管理
 - 2.0 ~ 3.6 V 供电
 - 上电/断电复位 (POR/PDR)
 - 可编程电压监测器 (PVD)
 - 外部 4 ~ 32 MHz 高速晶体振荡器 (HSE)
 - 内嵌经出厂调校的 8/16/24/48 MHz 高速振荡器 (HSI)
 - 外部 32.768 kHz 低速振荡器 (LSE)
 - 内嵌 40 kHz 低速振荡器 (LSI)
 - PLL 支持 CPU 最高运行在 128 MHz, PWM 最高运行在 144 MHz ($f_{HCLK} = 72 \text{ MHz}$)
- 低功耗模式
 - 睡眠 (Sleep)、低功耗运行 (Low-power run)、低功耗睡眠 (Low-power sleep) 和停机 (Stop0/1/2) 模式
 - 备份寄存器 (20 Bytes)
- 1 个 12 位 ADC
 - 多达 16 个外部输入通道
 - 转换范围: $0 \sim V_{REF+}$
 - 支持单端或差分输入
 - 支持采样时间和分辨率配置
 - 支持单次、连续、扫描和非连续转换模式
 - 片上温度传感器
 - 片上电压传感器
- 2 个模拟比较器
- 2 个运算放大器 (OPA2 可当作比较器使用)
- 8 通道 DMA 控制器
 - 支持的外设: Timer、ADC、UART、I²C、I²S、SPI
- 多达 60 个 I/O 端口:
 - 所有 I/O 口可以映像到 16 个外部中断
 - 部分端口支持 5 V 输入
- 调试模式
 - 串行单线调试 (SWD) 或 JTAG 接口
- 多达 17 个定时器
 - 1 个 16 位高级控制定时器，有 4 通道 PWM 输出，以及死区生成和紧急停止功能
 - 1 个 32 位、5 个 16 位通用定时器，有高达 4 个独立通道用于输入捕获/输出比较，通用定时器还支持使用正交解码器的两个输入的编码器接口
 - 1 个 16 位低功耗定时器
 - 2 个 16 位基本定时器
 - 2 个看门狗定时器 (独立的和窗口型的)
 - 1 个系统时间定时器: 24 位自减型计数器
 - 4 个独立 PWM 模块，每个支持 4 通道 PWM 输出
 - 定时器和 PWM 独立通道总数高达 36 个
- RTC
- 多达 8 个通信接口
 - 1 个 LPUART, 1 个 USART, 2 个 UART 接口
 - 2 个 I²C 接口
 - 2 个 SPI 接口
- 96 位的芯片唯一 ID (UID)
- LQFP64、LQFP48、QFN48、QFN32 封装

目录

产品特性	2
1. 简介	6
2. 功能概述	9
2.1. ARM® Cortex®-M4 处理器	9
2.2. 存储器	9
2.3. Boot 模式	10
2.4. 存储器保护单元 (MPU)	10
2.5. Flash 加速器 (ACC)	10
2.6. 备份寄存器 (BKP)	11
2.7. 时钟系统	11
2.8. 电源管理	13
2.8.1. 电源框图	13
2.8.2. 电源监控	14
2.8.3. 电压调节器	15
2.8.4. 动态电压管理	15
2.8.5. 低功耗模式	15
2.8.6. 电源复位	16
2.8.7. 系统复位	16
2.8.8. 备份域复位	16
2.9. 通用输入输出 (GPIO)	16
2.10. DMA	17
2.11. 中断	18
2.11.1. 中断控制器 (NVIC)	18
2.11.2. 扩展中断 (EXTI)	18
2.12. 模拟比较器 (COMP)	19
2.13. 数字放大器 (OPA)	19
2.14. 定时器 (TIMx)	19
2.14.1. 高级定时器 (TIM1)	20
2.14.2. 通用定时器	20
2.14.3. 基本定时器 (TIM6/TIM7)	21
2.14.4. 专用 PWM (PWM1/PWM2/PWM3/PWM4)	21
2.14.5. IWDG	21
2.14.6. WWDG	22
2.14.7. LPTIM	22
2.15. 模数转换器 (ADC)	22
2.16. SysTick 定时器	22
2.17. 实时时钟 (RTC)	23
2.18. 循环冗余校验计算单元 (CRC)	23

2.19.	系统配置控制器 (SYSCFG)	23
2.20.	调试支持模块 (DBG)	24
2.21.	I ² C 总线接口 (I ² C)	24
2.22.	通用同步异步收发器 (USART)	25
2.23.	通用异步收发器 (UART)	26
2.24.	低功耗通用异步收发器 (LPUART)	26
2.25.	串行外设接口 (SPI)	27
2.26.	调试接口 (SWD)	27
3.	引脚配置	28
3.1.	端口 A 复用功能映射	43
3.2.	端口 B 复用功能映射	44
3.3.	端口 C 复用功能映射	45
3.4.	端口 D 复用功能映射	46
4.	存储器映射	47
5.	电气特性	51
5.1.	测试条件	51
5.1.1.	最小值和最大值	51
5.1.2.	典型值	51
5.1.3.	供电方案	51
5.2.	绝对最大额定值	52
5.3.	工作条件	53
5.3.1.	通用工作条件	53
5.3.2.	上下电工作条件	53
5.3.3.	复位和电压控制模块特性	53
5.3.4.	工作电流特性	54
5.3.5.	低功耗模式唤醒时间	66
5.3.6.	外部时钟源特性	67
5.3.7.	内部高频时钟源 HSI 特性	69
5.3.8.	内部低频时钟源 LSI 特性	70
5.3.9.	锁相环 PLL 特性	70
5.3.10.	存储器特性	70
5.3.11.	EFT 特性	71
5.3.12.	ESD & LU 特性	71
5.3.13.	I/O 电流注入特性	71
5.3.14.	端口特性	72
5.3.15.	ADC 特性	73
5.3.16.	比较器特性	77
5.3.17.	运算放大器特性	78
5.3.18.	温度传感器特性	78

5.3.19. 内置参考电压 (V_{REFINT}) 特性.....	79
5.3.20. 内置参考电压 (V_{REFBUF}) 特性.....	79
5.3.21. 定时器特性.....	79
5.3.22. 通讯口特性.....	80
6. 封装信息	85
6.1. LQFP64 封装尺寸.....	85
6.2. LQFP48 封装尺寸.....	86
6.3. QFN48 封装尺寸	87
6.4. QFN32 (4*4) 封装尺寸	88
7. 订购信息	89
8. 版本历史	90

1. 简介

PY32F410 系列微控制器采用高性能的 32 位 ARM® Cortex®-M4 内核的 MCU。嵌入高达 128 KB Flash 和 16 KB SRAM 存储器，最高工作频率 128 MHz。包含多种不同封装类型多款产品。芯片集成硬多路 I²C、SPI、USART 等通讯外设，1 路 12 位 ADC，17 个定时器。

PY32F410 系列微控制器的工作温度范围为 -40 ~ 105 °C，工作电压范围 2.0 ~ 3.6 V。芯片提供睡眠、低功耗运行、低功耗睡眠和停机四种低功耗工作模式，可以满足不同的低功耗应用。

PY32F410 系列微控制器适用于多种应用场景，例如电机控制、工业应用、厨卫家电、智能家居等。

表 1-1 PY32F410 系列产品规划及特征

外设		PY32F410R1BT7	PY32F410C1BT7	PY32F410C2BU7	PY32F410K1BU7
Flash (KB)		128	128	128	128
SRAM (KB)		16	16	16	16
定时器	通用定时器	6			
	高级定时器	1			
	SysTick	1			
	基本定时器	2			
	LPTIM	1			
	看门狗定时器	2			
	RTC	1			
	PWM	4			
通讯口	USART	1			
	UART	2			
	LPUART	1			
	I ² C	2			
	SPI (I ² S)	2 (2)			
DMA		8ch			
GPIO		60	44	45	31
ADC	数量	1	1	1	1
	通道数 (外部+内部)	16+5	10+5	16+5	10+5
比较器		2			
运算放大器 ⁽¹⁾		2	1	2	1
最高频率		128 MHz (CPU)/144 MHz (PWM)			
工作电压		2.0 ~ 3.6 V			
工作温度		-40 ~ 105 °C			
封装		LQFP64	LQFP48	QFN48	QFN32

1. 当有两个运算放大器 OPA1/OPA2, OPA2 可当作比较器使用。

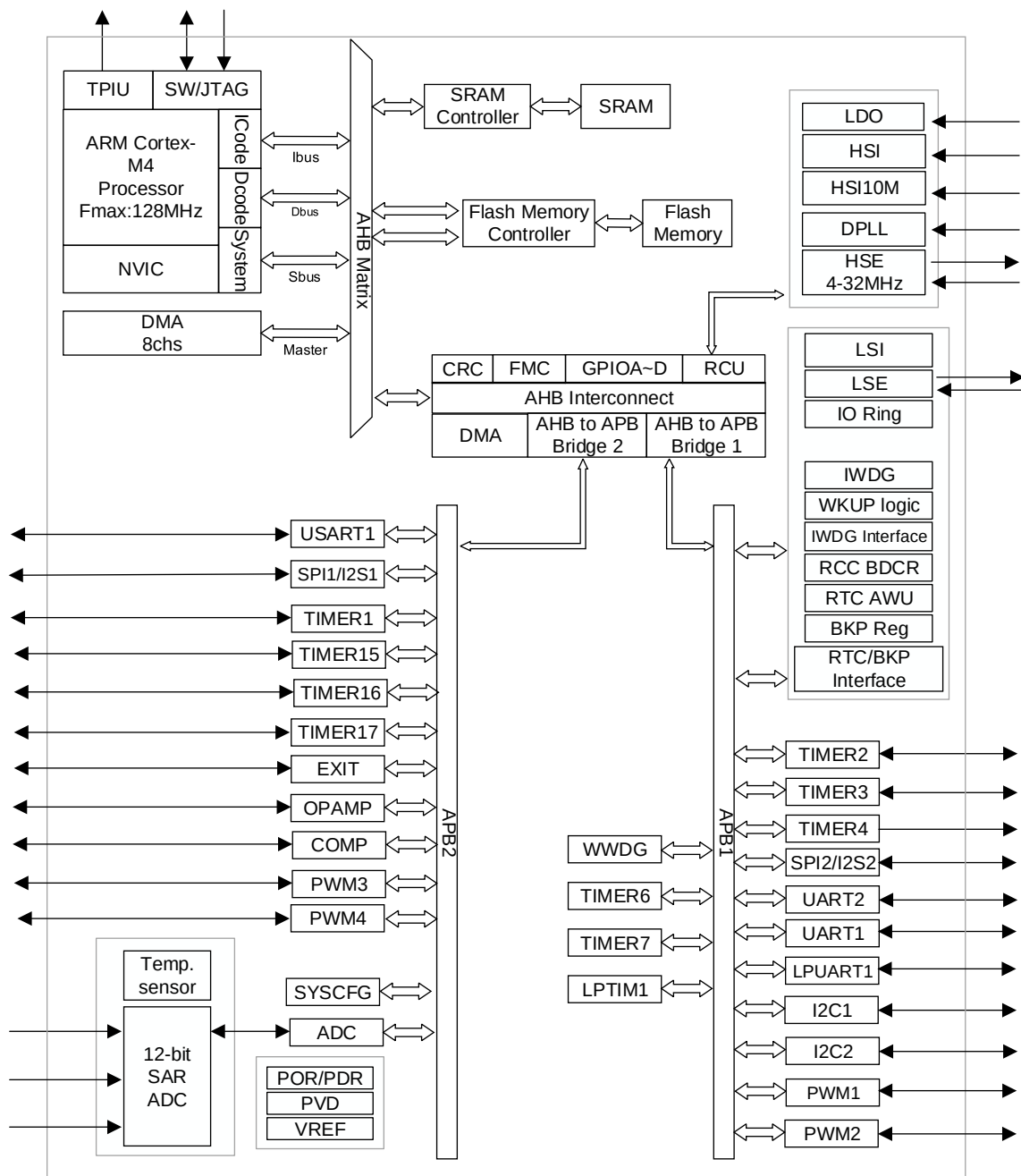


图 1-1 功能模块

2. 功能概述

2.1. ARM® Cortex®-M4 处理器

ARM® Cortex®-M4 处理器是支持 DSP 指令的高性能嵌入式 32 位 RISC 处理器，具有优异的代码效率，采用通常 8 位和 16 位器件的存储器空间即可发挥 ARM 内核的高性能。该处理器支持一组 DSP 指令，能够实现有效的信号处理和复杂的算法执行。为 MCU 提供了低成本的平台，低引脚数、低功耗、同时提供卓越的计算性能和先进的中断系统响应。与所有 ARM 工具和软件兼容。

32 位 ARM® Cortex®-M4 处理器

- 支持 128 MHz 工作频率
- 单周期乘法器和硬件除法器
- 集成 DSP 指令
- 嵌套的中断向量控制
- 24 位系统滴答定时器

ARM® Cortex®-M4 处理器是基于 ARMv7-M 架构，支持 Thumb 和 Thumb-2 指令集。

- 内部总线矩阵连接 I-Code 总线、D-Code 总线、系统总线、私有外围总线 (PPB) 和调试访问 (AHB-AP)
- 嵌套矢量中断控制器 (NVIC)
- Flash 补丁和断点 (FPB)
- 数据观察点和跟踪 (DWT)
- 指令跟踪单元 (ITM)
- 串口线 JTAG 调试端口 (SWJ-DP)
- 跟踪端口接口单元 (TPIU)
- 内存保护单元 (MPU)

2.2. 存储器

片内集成最大 16 KB SRAM。通过 bytes (8 位)、half - word (16 位) 或者 word (32 位) 的方式访问 SRAM。

SRAM 的起始地址是 0x2000 0000。

片内集成 Flash，包含两个不同的物理区域组成：

- Main flash 区域，它包含应用程序和用户数据
- Information 区域，5 KB，它包括以下部分：
 - Option bytes
 - UID bytes
 - OTP

— System memory

对 Main flash memory 的保护包括以下几种机制：

- 读保护（RDP），防止来自外部的访问。
- 写保护（WRP），以防止不想要的写操作（由于程序存储器指针的混乱）。写保护的最小保护单位为 4 KB。
- 选项字节写保护，专门的解锁设计。

2.3. Boot 模式

通过 BOOT0 pin 以及选项字节的配置，可选择三种不同的启动模式，如下表所示：

表 2-1 Boot 配置

Boot mode configuration					Mode
BOOT_LOCK	nBOOT1 FLASH_OPTR2[8]	nBOOT0 FLASH_OPTR2[14]	BOOT0 Pin	nSWBOOT0 FLASH_OPTR2[13]	
1	X	X	X	X	选择 Main flash 作为启动区
0	X	X	0	1	选择 Main flash 作为启动区
0	X	1	X	0	选择 Main flash 作为启动区
0	0	X	1	1	选择 SRAM 作为启动区
0	0	0	X	0	选择 SRAM 作为启动区
0	1	X	1	1	选择 System flash 作为启动区
0	1	0	X	0	选择 System flash 作为启动区

Boot loader 程序存储在 System memory，用于通过 USART/UART 接口下载 Flash 程序。

2.4. 存储器保护单元（MPU）

存储器保护单元（MPU）用于管理 CPU 对存储器的访问，防止一个任务意外损坏另一个激活任务所使用的存储器或资源。此存储区被组织为最多 8 个保护区，还可依次再被分为最多 8 个子区。保护区大小可为 32 字节至可寻址存储器的整个 4G 字节。

若应用中有一些关键的或认证的代码必须受到保护，以免被其它任务的错误行为影响，则 MPU 尤其有用。它通常由 RTOS（实时操作系统）管理。若程序访问的存储器位置被 MPU 禁止，则 RTOS 可检测到它并采取行动。在 RTOS 环境中，内核可基于执行的进程，动态更新 MPU 区的设置。MPU 是可选的，若应用不需要则可绕过。

2.5. Flash 加速器（ACC）

为了发挥处理器的全部性能，该加速器将实施指令预取队列和分支缓存，从而提高了 Flash 的程序执行速度。根据 CoreMark 基准测试，该加速器所获得的性能需要达到相当于 Flash 在 CPU 频率高达 128 MHz 时以等待周期执行程序。

- ICODE 可以进行指令预取
- 指令缓存 64 条分支，数据位宽为 64 位
- 数据缓存 16 条分支，数据位宽为 64 位

2.6. 备份寄存器 (BKP)

备份寄存器是 5 个 32 位的寄存器，可用来存储 20 个字节的用户应用程序数据。该模块处在备份域里，由 V_{CC} 维持供电。当电源复位 (POR) 或者 BDCR 的 BDRST 写 1 时，会被复位。

- 支持 20 字节数据后备寄存器
- 用来管理防侵入检测并具有中断功能的状态/控制寄存器
- 用来存储 RTC 校验值的校验寄存器。
- 在 PC13 引脚（当该引脚不用于侵入检测时）上输出 RTC 校准时钟，RTC 闹钟脉冲或者秒脉冲

2.7. 时钟系统

CPU 启动后默认系统时钟频率为 HSI 8 MHz，在程序运行后可以重新配置系统时钟频率和系统时钟源。可以选择的高频时钟有：

- 一个 8/16/24/48 MHz 可选的内部高精度 HSI 时钟。
- 一个 40 kHz 可配置的内部 LSI 时钟。
- 4 ~ 32 MHz HSE 时钟，并且可以使能 CSS 功能检测 HSE。如果 CSS fail，硬件会自动转换系统时钟为 HSI，HSI 频率由软件配置，同时 CPU NMI 中断产生。
- 一个 32.768 kHz LSE 时钟。
- PLL 时钟，PLL 源可以选择 HSI 或 HSE。如果选择 HSE 源，当 CSS 使能并且 CSS fail 时，关闭 PLL 和 HSE，硬件选择系统时钟源为 HSI。

AHB 时钟可以基于系统时钟分，APB 时钟可以基于 AHB 时钟分频。AHB 频率最高为 128 MHz。

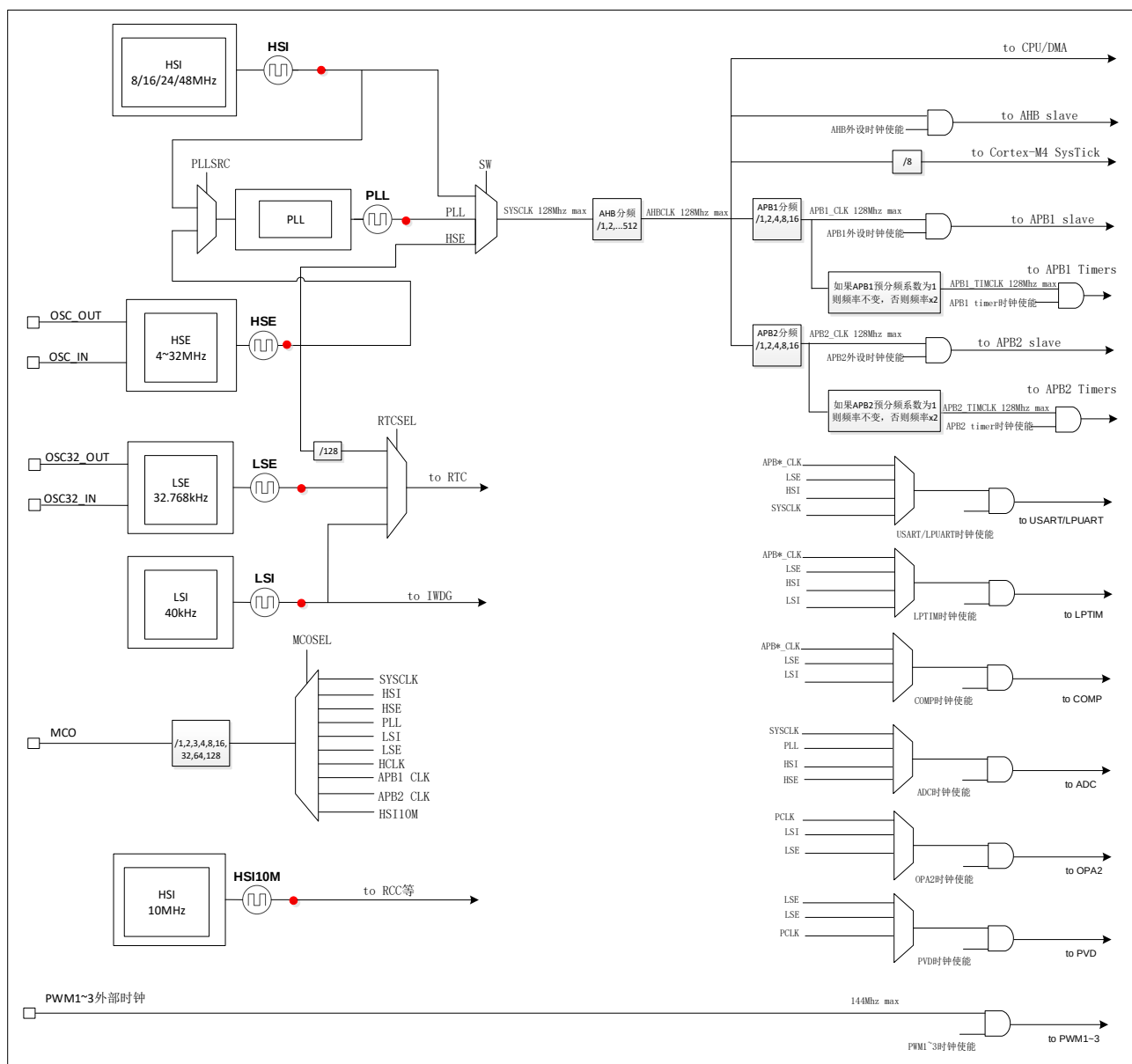


图 2-1 系统时钟结构图

2.8. 电源管理

2.8.1. 电源框图

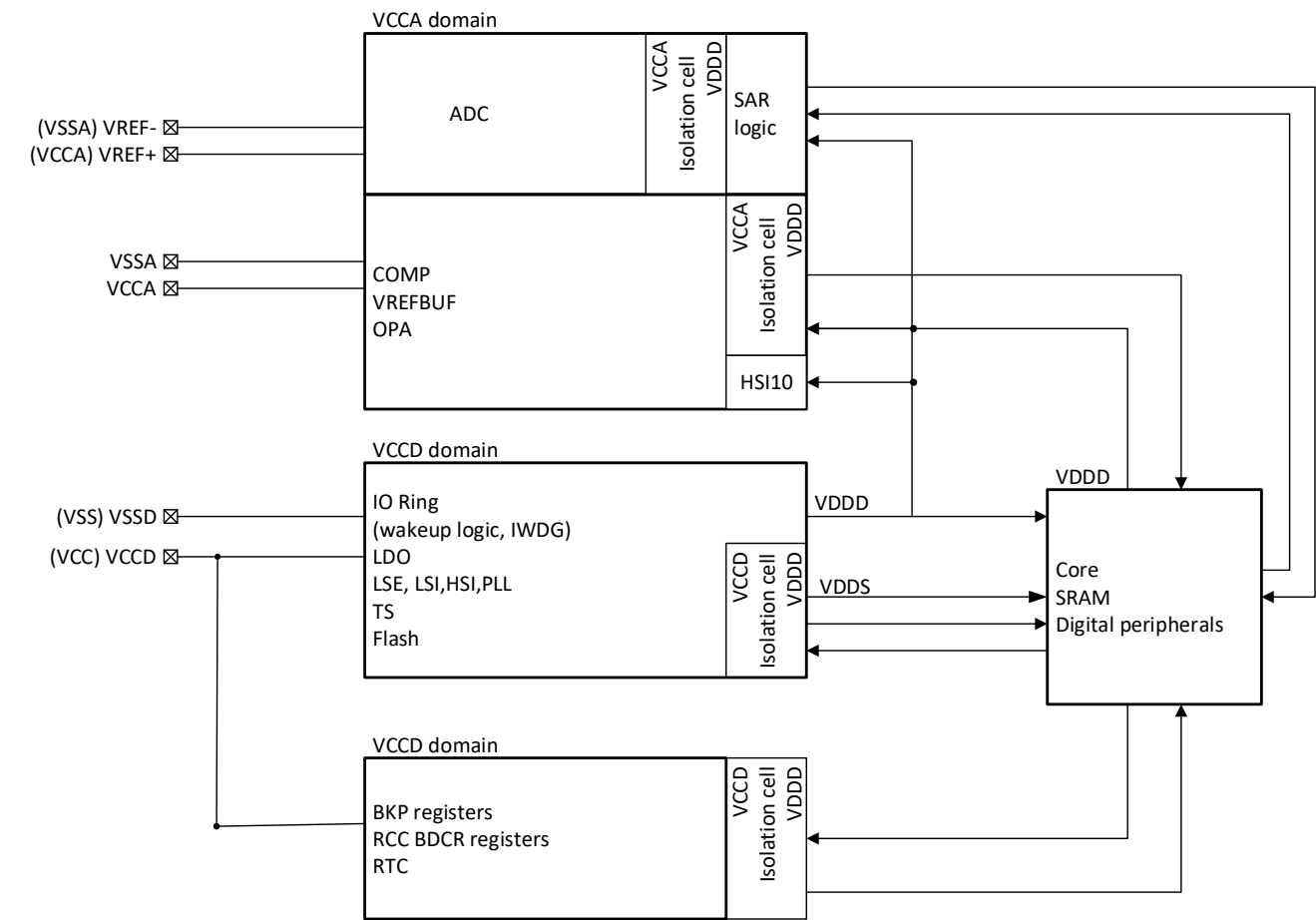


图 2-2 电源框图

表 2-2 电源框图

编号	电源	电源值	描述
1	V _{CC}	2.0 ~ 3.6 V	通过电源管脚为芯片提供电源。
2	V _{CCA}	2.0 ~ 3.6 V	通过电源管脚为芯片模拟电路提供电源。
3	V _{DDD}	1.2 V（默认）	来自于 VR 的输出，为芯片内部主要逻辑电路、SRAM 供电。MR、LPR、DLPR 三种模式可以选。

2.8.2. 电源监控

2.8.2.1. 上下电复位 (POR/PDR)

芯片内设计上电复位 (POR) / 掉电复位 (PDR) 模块，为芯片提供上电和下电复位。该模块在各种模式之下都保持工作。

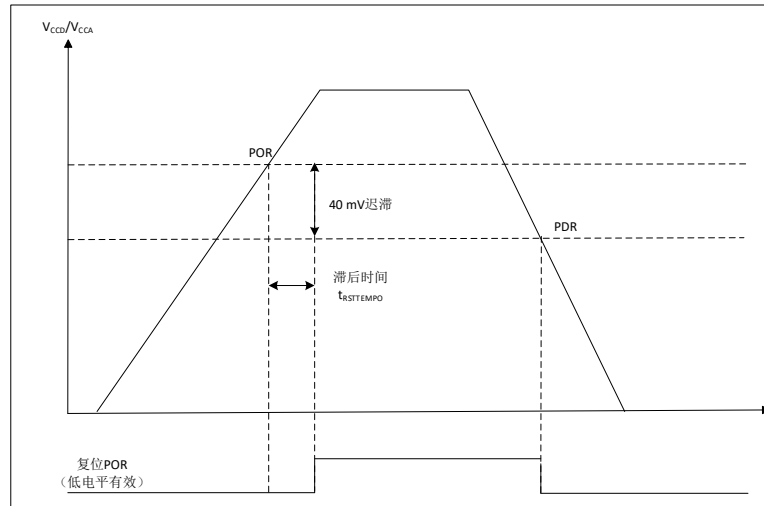


图 2-3 POR/PDR 阈值

2.8.2.2. 电压检测 (PVD)

电压检测 (PVD) 模块可以用来检测 V_{CC} 电源，检测点可通过寄存器进行配置。当 V_{CC} 高于或低于 PVD 的检测点时，产生相应的复位标识。

该事件内部连接到 EXTI 的 line 16，取决于 EXTI line 16 上升/下降沿配置，当 V_{CC} 上升超过 PVD 的检测点，或者 V_{CC} 降低到 PVD 的检测点以下，产生中断，在中断服务程序中用户可以进行紧急的 shutdown 任务。

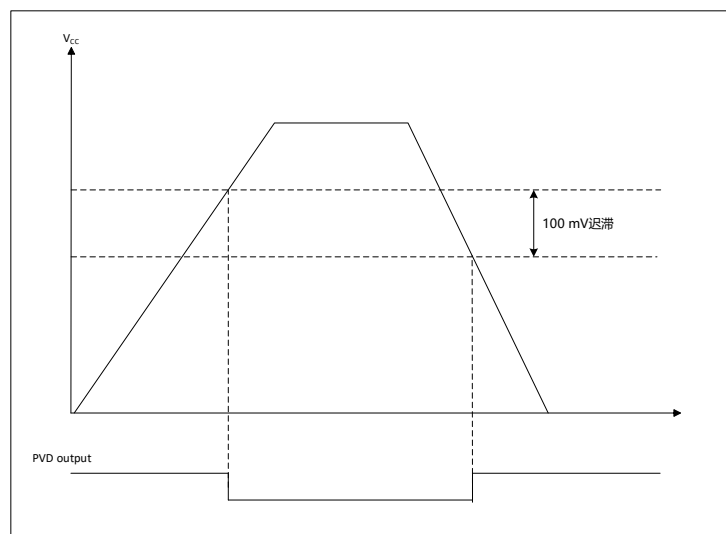


图 2-4 PVD 阈值

2.8.3. 电压调节器

芯片设计三个电压调节器：

- 主模式 MR (Main regulator) 在芯片正常运行 (Run) 状态时保持工作。
- 低功耗模式 LPR (Low power regulator) 在低功耗模式下，提供更低功耗的选择。
- 超低功耗模式 DLPR (Deep low power regulator) 在低功耗模式下，提供最低功耗的选择。

2.8.4. 动态电压管理

该设备采用嵌入式线性稳压器——主稳压器 (MR) 为大部分数字电路供电。主稳压器在运行模式和睡眠模式下工作。

该设备支持动态电压调节功能，可在运行模式下优化功耗。为逻辑电路供电的主稳压器输出电压，可根据系统最高运行频率进行动态调整。

主调节器 (MR) 在以下范围内运行：

- 高电压 (Range 1) 模式，CPU 运行频率最高可达 128 MHz。
- 中电压 (Range 2) 模式，CPU 运行频率最高可达 96 MHz。
- 低电压 (Range 3) 模式，CPU 运行频率最高可达 64 MHz。

2.8.5. 低功耗模式

芯片在正常的运行模式之外，有 4 个低功耗模式：

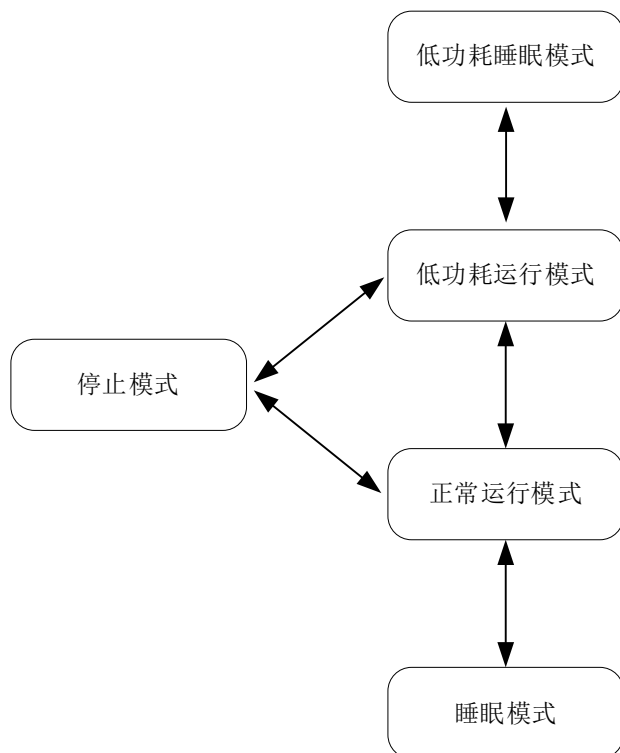


图 2-5 低功耗模式

- **睡眠模式 (Sleep)**：CPU 时钟关闭 (NVIC, SysTick 等工作)，外设可以配置为保持工作。
(建议只使能必须工作的模块，在模块工作结束后关闭该模块)
- **低功耗运行模式 (Low-power run)**：该模式下 CPU 工作频率被限定在 2 MHz，有独立时钟的周边模块可工作在 HSI 频率下。
- **低功耗睡眠模式 (Low-power sleep)**：该模式仅能从 Low-power run 模式进入、CPU 时钟关闭，当由事件或中断唤醒时，系统将回到 Low-power run 模式。
- **停机模式 (Stop0/Stop1/Stop2)**：该模式下 SRAM 和寄存器的内容保持，高速时钟 PLL、HSI 和 HSE 关闭，V_{DD} 域下大部分模块时钟都被停掉。GPIO, PVD, I²C, LPUART1, IWDG, Low-power timer, COMP 和 RTC 可以唤醒 Stop 模式。

2.8.6. 电源复位

电源复位在以下几种情况下产生：

- 上下电复位 (POR / PDR)

2.8.7. 系统复位

当产生以下事件时，产生系统复位：

- NRST 引脚的复位
- 窗口看门狗复位 (WWDG)
- 独立看门狗复位 (IWDG)
- SYSRESETREQ 软件复位
- Option byte load 复位 (OBL)

2.8.8. 备份域复位

备份域复位会将所有备份域寄存器复位，备份域寄存器包括 RCC_BDCR，备份寄存器以及 RTC 部分寄存器。

只要发生以下事件之一，就会产生备份域复位：

- 软件复位：通过将 RCC 备份域控制寄存器 (RCC_BDCR) 中的 BDRST 位置 1 触发。
- 在电源 V_{CC} 已掉电后，又再上电。

2.9. 通用输入输出 (GPIO)

每个 GPIO 都可以由软件配置为输出 (push - pull 或者 open drain)，输入 (floating, pull - up / down, analog)，外设复用功能，锁定机制会冻结 I/O 口配置功能。GPIO 功能概要如下：

- 寄存器支持 IO Port / AHB 总线读写
- 输出状态：推挽输出或者开漏输出 + 上拉/下拉
- 数据输出来自数据寄存器 (GPIOx_ODR) 或者外设 (复用功能输出)
- 每个 I/O 可进行速度选择
- 输入状态：浮空、上拉/下拉、模拟

- 数据输入送给输入数据寄存器 (GPIOx_IDR) 或者外设 (复用功能输入)
- 位置位/复位寄存器 (GPIOx_BSRR) , 允许对 GPIOx_ODR 的位写访问
- 锁定机制 (GPIOx_LCKR) 会冻结 I/O 口配置功能
- 模拟功能
- 复用功能选择寄存器 (每个 IO 口最多 16 种复用功能)
- 高度灵活的 I/O 多路选择功能, 使得 I/O 口作为 GPIO, 或者作为各种外设接口功能

2.10. DMA

直接存储器存取 (DMA) 用来提供在外设和存储器之间或者存储器和存储器之间的高速数据传输。搬运数据无需 CPU 干预, 数据可以通过 DMA 快速地移动, 这就节省了 CPU 的资源来做其他操作。该器件具有两个通用双端口 DMA, 有 8 个通道, 每个通道专门用来管理来自于一个或多个外设对存储器访问的请求。还有一个仲裁器来协调各个 DMA 请求的优先权。

主要功能如下:

- 单 AHB master
- 8 个独立可配置的通道
- 每个通道通过配置可以连接任一外设的硬件 DMA 请求, 每个通道都同样支持软件触发。
- 在同一个 DMA 模块上, 多个请求间的优先权可以通过软件编程设置, 优先权设置相等时由硬件决定 (通道号越低优先级越高)
- 独立数据源和目标数据区的传输宽度 (字节、半字、全字), 模拟打包和拆包的过程。源和目标地址必须按数据传输宽度对齐
- 可编程的源和目标地址, 地址可选递增, 递减或不变
- 每个通道都有 4 个事件标志 (传输完成 (循环)、块传输完成、半块传输完成, 传输错误), 这 4 个事件标志进行“逻辑或”, 成为一个单独的中断请求
- 支持存储器和存储器间、外设和存储器、存储器和外设、外设和外设的数据传输
- SRAM、APB 和 AHB 外设均可作为访问的源和目的, FLASH 只能作为源不能作为目标
- 支持单次触发模式和四种循环模式
 - 外设地址保持, 存储器地址保持
 - 外设地址重新加载, 存储器地址保持
 - 外设地址保持, 存储器地址重新加载
 - 外设和存储器地址都加载
- 单次模式可编程传输数量 0 ~ 65535
- 循环模式支持无限循环和有限循环 (1 ~ 255)
- 支持单一传输和批量传输
- 单一传输: 搬运 1 次数据回复 1 次 ACK
- 批量传输: 搬运配置的数据量后回复 1 次 ACK (所有数据搬运结束后释放总线)
- 支持存储器到存储器模式的两种传输方式

- 快速模式：获得仲裁后始终占据总线，直到传输完所有数据后释放总线；
- 轮换模式：传输 1 次数据后释放总线重新仲裁；
- 支持在循环模式下进入块传输完成中断后暂停传输

2.11. 中断

PY32F410 通过 Cortex-M4 处理器内嵌的矢量中断控制器（NVIC）和一个扩展中断/事件控制器（EXTI）来处理异常。

2.11.1. 中断控制器（NVIC）

NVIC 是 Cortex-M4 处理器内部紧耦合 IP。NVIC 可以处理来自处理器外部的 NMI（不可屏蔽中断）和可屏蔽外部中断，以及 Cortex-M4 内部异常。NVIC 提供了灵活的优先级管理。

处理器核心与 NVIC 的紧密耦合大大减少了中断事件和相应中断服务例程（ISR）启动之间的延迟。ISR 向量列在一个向量表中，存储在 NVIC 的一个基地地址。要执行的 ISR 的向量地址是由向量表基址和用作偏移量的 ISR 序号组成的。

如果高优先级的中断事件发生，而低优先级的中断事件刚好在等待响应，稍后到达的高优先级的中断事件将首先被响应。另一种优化称为尾链（tail-chaining）。当从一个高优先级的 ISR 返回时，然后启动一个挂起的低优先级的 ISR，将跳过不必要的处理器上下文的压栈和弹栈。这减少了延迟，提高了电源效率。

NVIC 特性：

- 低延时中断处理
- 8 级中断优先级
- 支持 1 个 NMI 中断
- 53 个可屏蔽的中断通道（不包括 16 个 CPU 的中断）
- 高优先级中断可打断低优先级中断响应
- 支持尾链（tail - chaining）优化
- 硬件中断向量检索

2.11.2. 扩展中断（EXTI）

- EXTI 增加了处理物理线事件的灵活性，系统可以通过 GPIO 和指定模块（PVD/ RTC/ COMP1/ COMP2）输入事件唤醒。
- EXTI 控制器有多个通道，20 个可配置线，包括最多 60 个 GPIO 通过复用的方式使用 16 个 EXTI line、1 个 PVD 输出、RTC 唤醒信号、COMP1、COMP2。其中 GPIO，PVD，RTC，COMP1，COMP2 可以配置上升沿、下降沿或双沿触发。任何 GPIO 信号通过选择信号配置为 EXTI0 ~ 15 通道；4 个直接输入线，包括 I2C1、I2C2、LPTIM、LPUART 唤醒。
- 每个 EXTI line 都可以通过寄存器独立屏蔽。
- EXTI 控制器可以捕获比内部时钟周期短的脉冲。

- EXTI 控制器中的寄存器锁存每个事件，即使是在 Stop 模式下，处理器从停止模式唤醒后也能识别唤醒的来源，或者识别引起中断的 GPIO 和事件。

2.12. 模拟比较器 (COMP)

芯片内集成 2 个通用比较器 (General purpose comparators)，COMP1/COMP2。这 2 个模块可以作为单独的模块，也可以与 timer 组合在一起使用。比较器可以被模拟信号触发，产生低功耗模式唤醒功能；可以模拟信号调节；当与来自 timer 的 PWM 输出连接时，Cycle by cycle 的电流控制回路。主要特性如下：

- 支持电压比较功能，每个比较器有可配置的正或者负输入，以实现灵活的电压选择
 - 多路 I/O pin
 - V_{CCA}/V_{REFBUF} 的 256 档分压 (即 V_{REFCMP})
 - 温度传感器输出
- 可编程速度和功耗
- Rail to Rail
- 可编程的迟滞功能
- 配置寄存器写保护 (LOCK 功能)
- 输出可以被连接到 I/O 或者 timer 的输入作为触发
- 每个 COMP 具有中断产生能力，用作芯片从低功耗模式 (Sleep/Stop) 的唤醒 (通过 EXTI)
- 提供软件可配置数字滤波时间以增强芯片抗干扰能力
- 支持输出消隐以降低开关噪声
- 支持 Windows COMP 功能

2.13. 数字放大器 (OPA)

内嵌入了 2 个运算放大器，每个运算放大器有两个输入和一个输出。三个 I/O 可以连接到外部引脚，从而实现任何类型的外部互连。

输出连接到内部 ADC。主要特性如下：

- 轨对轨输入和输出电压范围
- 低输入偏置电流
- 低输入偏移电压
- 高频增益带宽
- 比较器模式

2.14. 定时器 (TIMx)

表 2-3 定时器特性

类型	分类	位宽	计数方向	预分频	DMA	捕获/比较通道	互补输出
高级定时器	TIM1	16 位	递增、递减 中心对齐	1 ~ 65536	支持	4	3

类型	分类	位宽	计数方向	预分频	DMA	捕获/比较通道	互补输出
通用定时器	TIM2	32 位	递增、递减 中心对齐	1 ~ 65536	支持	4	-
	TIM3	16 位	递增、递减 中心对齐	1 ~ 65536	支持	4	-
	TIM4	16 位	递增、递减 中心对齐	1 ~ 65536	支持	4	-
通用定时器	TIM15	16 位	递增	1 ~ 65536	支持	2	1
通用定时器	TIM16/TIM17	16 位	递增	1 ~ 65536	支持	1	1
基本定时器	TIM6/TIM7	16 位	递增	1 ~ 65536	支持	-	-
专用 PWM	PWM	16 位	递增、递减	1 ~ 65536	支持	4	-

2.14.1. 高级定时器 (TIM1)

高级定时器 (TIM1) 由 16 位被可编程分频器驱动自动装载计数器组成。它可以被用作各种场景，包括：输入信号（输入捕获）的脉冲长度测量，或者产生输出波形（输出比较、输出 PWM、带死区插入的互补 PWM）。

TIM1 包括 6 个独立通道，用作：

- 输入捕获
- 输出比较
- PWM 产生（边缘或者中心对齐模式）
- 单脉冲模式输出

TIM1 包括 2 个内部通道，用作：

- 输出比较
- PWM 产生（内部通道，用于 ADC 的触发）
- 单脉冲模式输出

如果 TIM1 配置为标准的 16 位计时器，则它具有与 TIMx 计时器相同的特性。如果配置为 16 位 PWM 发生器，则具有全调制能力（0 ~ 100%）。

一路刹车输入，将定时器的输出信号置于安全状态中。

在 MCU debug 模式，TIM1 可以冻结计数。

具有相同架构的 timer 特性共享，因此 TIM1 可以通过计时器链接功能与其他计时器一起工作，以实现同步或事件链接。

TIM1 支持 DMA 功能。

2.14.2. 通用定时器

2.14.2.1. TIM2/TIM3/TIM4

TIM2/TIM3/TIM4 通用定时器是由 16 位可编程分频器驱动的 16 位（TIM2 是 32 位）自动重装载计数器构成。具有 4 个独立的通道，每个用于输入捕获/输出比较，PWM 或者单脉冲模式输出。

- 可以通过计时器链接功能与 TIM1 一起工作
- 支持 DMA 功能
- 能够处理正交（增量）编码器信号
- 在 MCU debug 模式，TIM2/TIM3/TIM4 可以冻结计数

2.14.2.2. TIM15/TIM16/TIM17

- TIM15/TIM16/TIM17 由可编程预分频器驱动的 16 位向上自动装载计数器构成。
- TIM15 具有 2 个（TIM16/TIM17 具有 1 个）独立通道用于输入捕获/输出比较，PWM 或者单脉冲模式输出。
- TIM15/TIM16/TIM17 带有可编程死区时间的互补输出
- 通过外部信号来控制定时器与定时器之间互联（仅 TIM15 支持）
- 支持 DMA 功能

2.14.3. 基本定时器（TIM6/TIM7）

- 基本定时器 TIM6/TIM7 包含一个 16 位自动装载计数器，由各自的可编程预分频器驱动。
- 16 位自动装载计数器。
- 在更新事件（计数器溢出）发生时产生中断/DMA 请求。

2.14.4. 专用 PWM（PWM1/PWM2/PWM3/PWM4）

- PWM 由可编程预分频器驱动的 16 位自动装载计数器构成。
- 4 个独立通道用于输出比较，PWM 输出。
- 支持 DMA 功能
- 支持外部触发、互补输出、死区控制、刹车（PWM1/PWM2/PWM3）
- PWM1/PWM2/PWM3 支持 144MHz

2.14.5. IWDG

芯片内集成了一个独立看门狗定时器（简称 IWDG），该模块具有高安全级别、时序精确及灵活使用的特点。IWDG 发现并解决由于软件失效造成的功能混乱，并在计数器达到指定的 timeout 值时触发系统复位。

- IWDG 由独立的 RC 振荡器提供时钟，可在 Stop 模式下工作
- IWDG 最适合需要看门狗作为主应用之外的独立过程，并且无很高的时序准确度限制的应用
- 通过选项字节的控制，可以使能 IWDG 硬件模式
- IWDG 是 Stop 模式的唤醒源，以复位的方式唤醒 Stop 模式
- 在 MCU debug 模式，IWDG 可以冻结计数值

2.14.6. WWDG

系统窗口看门狗是基于一个 7 位的下行计数器，可以设置为自由运行。当出现问题时，它可以作为一个看门狗来复位系统。计数时钟为 APB 时钟（PCLK）。它具有预警中断能力，计数器可以在 MCU debug 模式下被冻结。

2.14.7. LPTIM

LPTIM 是一款 16 位定时器。LPTIM 将系统从低功耗模式中唤醒的能力使得它适用于实际的低功耗应用中，LPTIM 引入一种灵活的时钟方案，可提供所需的功能和性能，同时将低功耗降至最低。

- 16 位向上计数器
- 3 位预分频器，具有 8 个可能的分频因子（1、2、4、8、16、32、64、128）
- 可选时钟：LSE、LSI 和 APB 时钟
- 支持单次和连续模式

2.15. 模数转换器（ADC）

芯片内置有 1 个 12 位的 SARADC。该模块共有最多 21 个要被测量的通道，包括 16 个外部通道和 5 个内部通道（Vsense、V_{CC}/3、V_{REFINT}、OPA1、OPA2），在单次、扫描、间断或连续模式下执行转换。

- 各通道的转换模式可以设定为单次、连续、扫描、间断模式。转换结果存储在左对齐或者右对齐的 16 位数据寄存器中
- 模拟看门狗允许应用检测是否输入电压超出了用户定义的高或者低阈值
- ADC 实现了在低频率下运行，可获得很低的功耗
- 在转换结束，连续转换结束，模拟看门狗时转换电压超出阈值时产生中断请求
- ADC 可配置 12-bit、10-bit、8-bit 和 6-bit 分辨率
- 最大 ADC 采样率：3 MSPS
- 支持自校准
- 支持可编程采样时间
- 数据寄存器可配置数据对齐方式
- 支持规则通道数据转换的 DMA 请求
- 通道 0-5 可配置为差分输入，其他固定为单端
- 过采样器，具有 16 位数据寄存器，过采样率 2 ~ 256 可调，可编程数据移位可达 8 位
- 数据预处理，支持增益补偿，offset 补偿

2.16. SysTick 定时器

SysTick 计数器专门用于实时操作系统（RTOS），但也可以用作标准的向下计数器。

SysTick 特性：

- 24 位向下计数

- 自装载能力
- 计数器记到 0 时可产生中断（可屏蔽）

2.17. 实时时钟（RTC）

实时时钟是一个独立的定时器。RTC 模块拥有一组连续计数的计数器，在相应软件配置下，可提供时钟日历的功能。修改计数器的值可以重新设置系统当前的时间和日期。

- RTC 为预分频系数最高为 2^{20} 的 32 位可编程计数器。
- RTC 计数器时钟源可以为 LSE、LSI 以及 HSE 时钟的 128 分频。
- RTC 可以产生闹钟中断，秒中断和溢出中断（可屏蔽）。
- RTC 支持时钟校准。
- 在 MCU debug 模式，RTC 可以冻结计数。

2.18. 循环冗余校验计算单元（CRC）

循环冗余校验（CRC）计算单元是根据固定的生成多项式得到 32 位 CRC 计算结果。在其他的应用中，CRC 技术主要应用于核实数据传输或者数据存储的正确性和完整性。CRC 计算单元含有 1 个 32 位数据寄存器：

- 对该寄存器进行写操作时，作为输入寄存器，可以输入要进行 CRC 计算的新数据。
- 对该寄存器进行读操作时，返回上一次 CRC 计算的结果。
- 每一次写入数据寄存器，其计算结果是前一次 CRC 计算结果和新计算结果的组合（对整个 32 位字进行 CRC 计算，而不是逐字节地计算）。
- 可以通过设置寄存器 CRC_CR 的 RESET 位来重置寄存器 CRC_DR 为 0xFFFF FFFF。该操作不影响寄存器 CRC_IDR 内的数据。

2.19. 系统配置控制器（SYSCFG）

SYSCFG 模块主要完成如下功能：

- I²C Fm+模式的使能与关闭
- 根据不同 boot 模式，映射初始程序区。
- DMA 外设通道选择控制
- 模拟输入通道使能
- 所有 GPIO 的噪声滤波器的使能与关闭
- 所有 GPIO 的 EXTI（外部中断）的使能与关闭
- Dual bank internal Flash 的地址映射配置
- PVD Lock 的使能与关闭
- Cortex-M4 LOCKUP 的使能与关闭

2.20. 调试支持模块 (DBG)

DBG 模块协助调试器提供以下功能：

- 支持睡眠模式和停止模式
- CPU 进入 HALT 时，控制定时器、看门狗和 PWM 停止计数或者继续计数
- CPU 进入 HALT 时，阻止 I²C1、I²C2、SMBUS 超时

DBG 寄存器还提供芯片 ID 编码。使用 JTAG 或者 SW 调试接口，或者用户程序都可以访问此 ID 编码。

2.21. I²C 总线接口 (I²C)

I²C (Inter-integrated circuit) 总线接口连接微控制器和串行 I²C 总线。它提供控制所有 I²C 总线特定的顺序、协议、仲裁和时序。支持标准 (Sm)、快速 (Fm)、快速模式增强 (Fm+)。

I²C 特性：

- 2 个 I²C 接口，支持 Slave 和 Master 模式
- 支持不同通讯速度
 - 标准模式 (Sm)：高达 100 kHz
 - 快速模式 (Fm)：高达 400 kHz
 - 快速模式增强 (Fm+)：高达 1 MHz
- 作为 Master
 - 产生 Clock
 - Start 和 Stop 的产生
- 作为 Slave
 - 可编程的 I²C 地址检测 (1 个可掩码配置)
 - 可响应 2 个从地址的双地址能力
 - Stop 位的发现
- 7 位/10 位寻址模式
- 支持广播呼叫 (General call)
- 状态标志位
 - 发送/接收模式标志位
 - 字节传输完成标志位
 - I²C busy 标志位
- 错误标志位
 - 主机仲裁丢失
 - 地址/数据传输后的 ACK 失败
 - Start/Stop 错误
 - 过载 (overrun) / 欠载 (underrun) (时钟拉长功能禁止)
- 可选的时钟拉长功能
- 具备 DMA 能力的单字节 buffer

- 软件复位
- 模拟噪声滤波功能
- 支持 SMBus
- 支持低功耗模式，从 Stop 模式唤醒

2.22. 通用同步异步收发器 (USART)

PY32F410 包含 1 个通用同步/异步收发器 (USART)，支持 ISO7816, LIN, IrDA。

通用同步异步收发器 (USART) 提供了一种灵活的方法与使用工业标准 NRZ 异步串行数据格式的外部设备之间进行全双工数据交换。USART 利用分数波特率发生器提供宽范围的波特率选择。

它支持同步单向通信和半双工单线通信，它还允许多处理器通信。

支持自动波特率检测。

使用多缓冲器配置的 DMA 方式，可以实现高速数据通信。

USART 特性：

- 全双工异步通信
- NRZ 标准格式
- 可配置 16 倍或者 8 倍过采样，增加在速度和时钟容忍度的灵活性
- 发送和接收共用的可编程波特率
- 自动波特率检测
- 两个用于收发数据的内部 FIFO
- 每个 FIFO 均可由软件使能/禁止，并且均带有一个状态标志
- 双时钟域，带有独立于 PCLK 的外设专用内核时钟
- 可编程的数据顺序，最先移位 MSB 或 LSB
- 可编程的数据长度 7 位和 8 位或者 9 位
- 可配置的停止位（支持 0.5, 1, 1.5 或 2 个停止位）
- 发送方为同步传输提供时钟
- 单线半双工通讯
- 独立的发送和接收使能位
- 硬件流控制：RS232、RS485
- 通过 DMA 缓冲接收/发送字节
- 检测标志
 - 接收 buffer 满
 - 发送 buffer 空
 - 传输结束
- 奇偶校验控制
 - 发送校验位
 - 对接收数据进行校验
- 多处理器通信
 - 如果地址不匹配，则进入静默模式

- 从静默模式唤醒：通过空闲检测和地址标志检测，两种唤醒接收器的方式：地址位（MSB，第 9 位），总线空闲。
- 可配置 16 倍或者 8 倍过采样，增加在速度和时钟容忍度

2.23. 通用异步收发器（UART）

PY32F410 包含 2 个通用异步收发器（UART）：

- 支持 5/6/7/8/9 位串行数据
- 支持 1/2 位 STOP 位（5 位数据时：1/1.5 位 STOP）
- 支持发送地址/数据
- 支持固定奇偶校验
- 支持 break 帧
- 起始位错误检测
- 支持可编程分数波特率
- 支持 SWAP 功能
- 支持大小端切换 MSBFIRST 功能
- 全双工异步通信
- NRZ 标准格式

2.24. 低功耗通用异步收发器（LPUART）

PY32F410 包含 1 个低功耗通用异步收发器（LPUART），支持

- 全双工异步通讯
- NRZ 标准模式
- 波特率可编程
- 32.768 kHz 时钟，波特率范围 300 ~ 9600。更高波特率需要更高时钟频率支持
- 支持传送和接收 FIFO，软件可分别使能，
- 双时钟域：PCLK 及专用 kernel 时钟
- Word 长度可配置（7/8/9 位）
- 可配置 MSB 或者 LSB first 移位
- Stop 位数可配置（1/2 bit Stop）
- 单线半双工通讯
- 支持 DMA 连续传输
- 在 SRAM 里利用集中式 DMA 缓冲接收/发送字节
- 传送和接收独立使能
- 独立发送/接收信号极性控制
- Tx/Rx pin 可以互换
- 支持硬件 RS-485/modem 流控制
- 奇偶校验控制：发送时产生奇偶校验位，接收时奇偶校验
- 错误标志：
- 中断源标志

- 支持 5/6/7/8/9 位串行数据

2.25. 串行外设接口 (SPI)

PY32F410 包含 2 个 SPI。串行外设接口 (SPI) 允许芯片与外部设备以半双工、全双工、单工同步的串行方式通信。此接口可以被配置成主模式，并为外部从设备提供通信时钟 (SCK)。接口还能以多主配置方式工作。

SPI 特性如下：

- Master 或者 Slave 模式
- 3 线全双工同步传输
- 2 线半双工同步传输 (有双向数据线)
- 2 线单工同步传输 (无双向数据线)
- 8 位或者 16 位传输帧选择
- 支持多主模式
- 主模式频率最大为 64 MHz
- 从模式频率最大为 36 MHz
- 主模式和从模式下均可以由软件或硬件进行 NSS 管理：主/从操作模式的动态改变
- 可编程的时钟极性和相位
- 可编程的数据顺序，MSB 在前或 LSB 在前
- 可触发中断的专用发送和接收标志
- SPI 总线忙状态标志
- Motorola 模式
- 支持 TI 模式
- 可引起中断的主模式故障、过载
- 2 个具备 DMA 能力的 32 位 Rx 和 Tx FIFOs

内部集成音频 (I²S)

- 2 个采样率 8 ~ 192 kHz 的 I²S 总线接口
- 支持主机模式和从机模式，全双工和单工通信模式

I²S 总线通过 3 线串行线路为数字音频应用提供标准通信接口。包含两个 I²S 总线接口，可在主或从模式下以 16/32 位分辨率操作，引脚与 SPI1 和 SPI2 多路复用。支持 8 ~ 192 kHz 的音频采样频率，精度误差小于 0.5%。所有 I²S 接口都可以使用 DMA 控制器。

2.26. 调试接口 (SWD)

ARM SWD 接口允许串口调试工具连接到 PY32F410。

3. 引脚配置

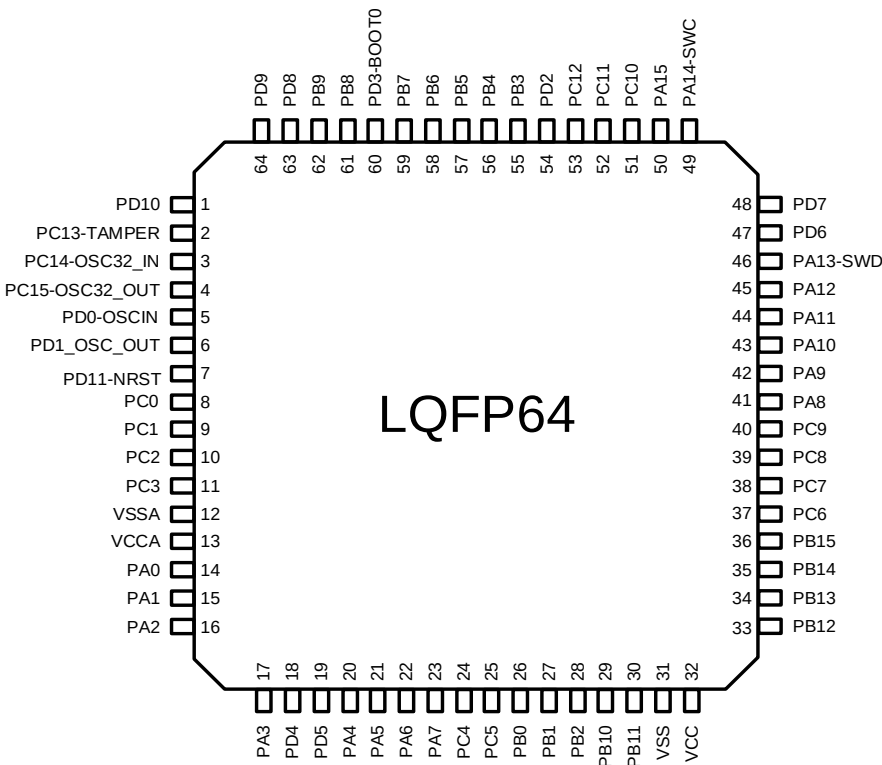


图 3-1 LQFP64 PY32F410R1xT7 Pinout1 (Top view)

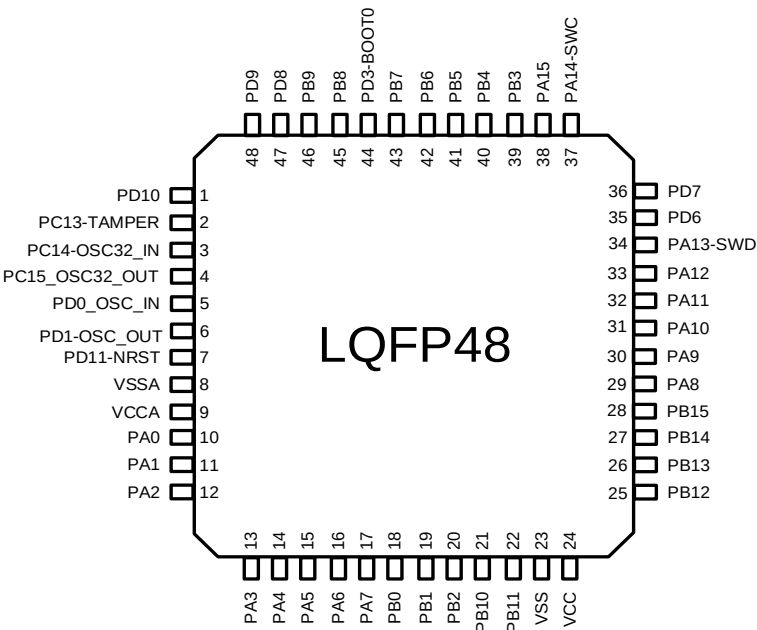


图 3-2 LQFP48 PY32F410C1xT7 Pinout1 (Top view)

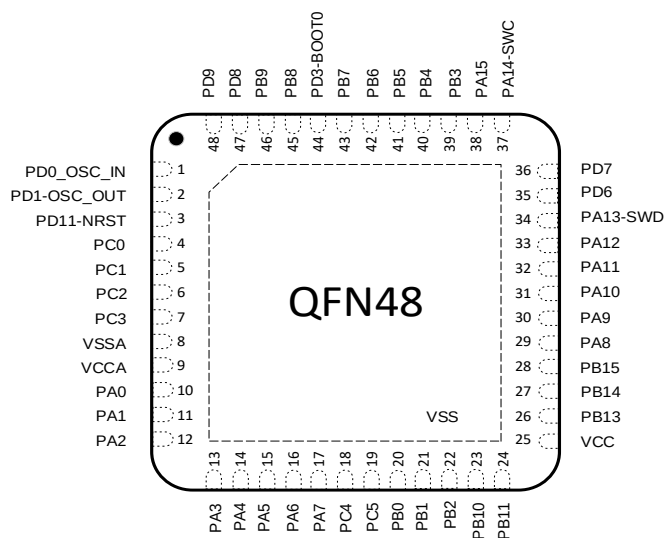


图 3-2 QFN48 PY32F410C2xU7 Pinout2 (Top view)

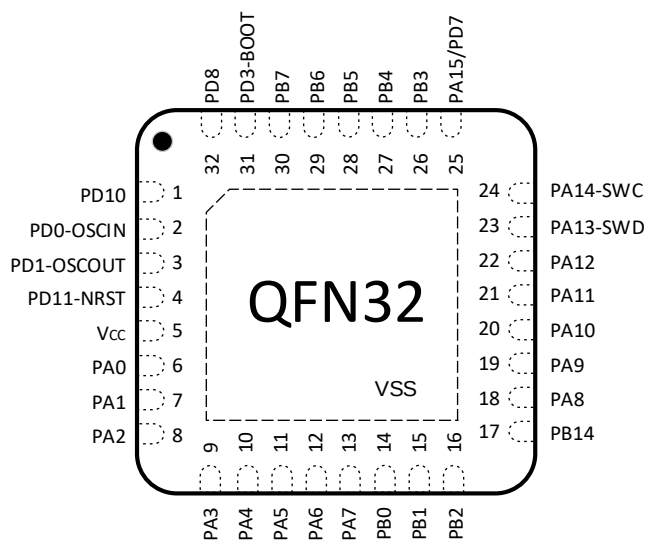


图 3-3 QFN32 (4*4) PY32F410K1xU7 Pinout1 (Top view)

表 3-1 引脚定义的术语和符号

类型		符号	定义
端口类型		S	Supply 引脚
		G	Ground 引脚
		NRST	复位引脚，低电平有效
		I/O	输入/输出引脚
		NC	无定义
端口结构		FT	5 V 兼容端口
		TT	3.3 V 兼容端口
		TT_a	带有模拟开关的 3.3 V 兼容端口
		NRST	复位端口，带内部弱上拉电阻
端口功能	复用功能	-	通过 GPIOx_AFR 寄存器选择的功能
	附加功能	-	通过外设寄存器或选项字节直接选择或使能的功能

表 3-2 引脚定义⁽¹⁾⁽²⁾

封装类型				端口名	端口类型	端口结构	端口功能	
LQFP48 C1	LQFP64 R1	QFN48 C2	QFN32 K1				复用功能	附加功能
1	1	-	1	PD10	I/O	FT	TIM4_CH4 PWM3_ETR_LS USART1_TX EVENTOUT	-
2	2	-	-	PC13-TAMPER	I/O	FT	PWM1_CH2 EVENTOUT	WKUP2 TAMP_RTC
3	3	-	-	PC14-OSC32_IN	I/O	TT	PWM1_CH3 EVENTOUT	OSC32_IN
4	4	-	-	PC15-OSC32_OUT	I/O	TT	PWM1_CH4 EVENTOUT	OSC32_OUT
5	5	1	2	PD0-OSC_IN	I/O	TT	TIM1_CH1 EVENTOUT	OSC_IN
6	6	2	3	PD1-OSC_OUT	I/O	TT	TIM1_CH2N SPI2_NSS/I2S2_WS EVENTOUT	OSC_OUT
7	7	3	4	PD11-NRST	NRST	NRST(FT)	MCO EVENTOUT	NRST
-	8	4	-	PC0	I/O	TT_a	I2C2_SCL I2C1_SCL PWM2_ETR_HS EVENTOUT	ADC_IN10
-	9	5	-	PC1	I/O	TT_a	I2C2_SDA SPI1_MOSI/I2S1_SD SPI2_MOSI/I2S2_SD I2C1_SDA PWM1_ETR_HS EVENTOUT	ADC_IN11
-	10	6	-	PC2	I/O	TT_a	SPI2_MISO I2S2_MCK	ADC_IN12

封装类型				端口名	端口类型	端口结构	端口功能	
LQFP48 C1	LQFP64 R1	QFN48 C2	QFN32 K1				复用功能	附加功能
							PWM1_CH3 EVENTOUT	
-	11	7	-	PC3	I/O	TT_a	SPI2_MOSI/I2S2_SD PWM1_CH3 EVENTOUT	ADC_IN13
8	12	8	-	V _{SSA}	G	-	-	-
9	13	9	-	V _{CCA}	S	-	-	-
10	14	10	6	PA0	I/O	TT_a	TIM2_ETR TIM2_CH1 COMP1_OUT TIM1_ETR TIM4_CH4 PWM1_ETR_LS UART1_RX LPUART1_TX EVENTOUT	ADC_IN0 COMP1_INM WKUP1
11	15	11	7	PA1	I/O	TT_a	TIM2_CH2 I2C2_SDA OPA2_COMP_OUT TIM15_CH1N I2C1_SMBA TIM4_ETR PWM1_BKIN PWM2_CH1 LPUART1_RX EVENTOUT	ADC_IN1 COMP1_INP OPA1_VINP
12	16	12	8	PA2	I/O	TT_a	TIM15_CH1 TIM2_CH3 COMP2_OUT PWM1_CH2 UART1_TX EVENTOUT	ADC_IN2 COMP2_INM OPA1_VOUT WKUP4

封装类型				端口名	端口类型	端口结构	端口功能	
LQFP48 C1	LQFP64 R1	QFN48 C2	QFN32 K1				复用功能	附加功能
13	17	13	9	PA3	I/O	TT_a	TIM15_CH2 TIM2_CH4 I2C2_SCL I2S2_MCK PWM1_CH2N PWM2_BKIN UART1_RX EVENTOUT	ADC_IN3 COMP2_INP OPA1_VINM
-	18	-	-	PD4	I/O	TT	I2C1_SDA TIM2_CH1 PWM2_CH3 EVENTOUT	-
-	19	-	-	PD5	I/O	TT	I2C1_SCL TIM2_CH2 PWM2_CH4 PWM3_CH1 EVENTOUT	-
14	20	14	10	PA4	I/O	TT_a	SPI1_NSS/I2S1_WS I2C1_SCL SPI2_NSS/I2S2_WS PWM1_CH1 EVENTOUT	ADC_IN4 COMP1_INM
15	21	15	11	PA5	I/O	TT_a	SPI1_SCK/I2S1_CK TIM2_ETR TIM2_CH1 OPA2_COMP_OUT LPTIM1_IN1 PWM1_CH1N UART2_RX USART1_CK EVENTOUT	ADC_IN5 COMP2_INM
16	22	16	12	PA6	I/O	TT_a	SPI1_MISO TIM3_CH1 TIM1_BKIN	ADC_IN6 OPA2_VOUT

封装类型				端口名	端口类型	端口结构	端口功能	
LQFP48 C1	LQFP64 R1	QFN48 C2	QFN32 K1				复用功能	附加功能
							COMP1_OUT TIM16_CH1 I2S2_MCK TIM4_CH1 PWM1_ETR_HS PWM3_CH1N UART2_RX EVENTOUT	
17	23	17	13	PA7	I/O	TT_a	SPI1_MOSI/I2S1_SD TIM3_CH2 TIM1_CH1N COMP2_OUT TIM17_CH1 I2C2_SCL PWM1_CH1 UART2_TX EVENTOUT	ADC_IN7 OPA2_VINP
-	24	18	-	PC4	I/O	TT_a	TIM4_CH1 I2S1_MCK PWM1_BKIN UART2_TX EVENTOUT	ADC_IN14
-	25	19	-	PC5	I/O	TT_a	PWM1_CH2 UART2_RX EVENTOUT	ADC_IN15 OPA2_VINM WKUP5
18	26	20	14	PB0	I/O	TT_a	TIM3_CH3 TIM1_CH2N I2S1_MCK SPI1_MISO PWM3_ETR_LS UART1_RX EVENTOUT	ADC_IN8
19	27	21	15	PB1	I/O	TT_a	TIM3_CH4 TIM1_CH3N	ADC_IN9 COMP1_INP

封装类型				端口名	端口类型	端口结构	端口功能	
LQFP48 C1	LQFP64 R1	QFN48 C2	QFN32 K1				复用功能	附加功能
							SPI2_SCK/I2S2_CK SPI1_MOSI/I2S1_SD PWM1_CH1 PWM3_ETR_HS EVENTOUT	
20	28	22	16	PB2	I/O	FT	TIM3_ETR I2C1_SMBA PWM1_CH1N PWM3_CH2 EVENTOUT	-
21	29	23	-	PB10	I/O	FT	I2C2_SCL TIM2_CH3 OPA2_COMP_OUT SPI2_SCK/I2S2_CK LPTIM1_IN1 PWM3_ETR_HS UART2_TX EVENTOUT	-
22	30	24	-	PB11	I/O	FT	I2C2_SDA TIM2_CH4 TIM15_ETR LPTIM1_IN2 UART2_RX EVENTOUT	-
23	31	-	-	V _{SS}	G	-	-	-
24	32	25	5	V _{CC}	S	-	-	-
25	33	-	-	PB12	I/O	FT	SPI2_NSS/I2S2_WS TIM1_BKIN TIM15_BKIN I2C2_SMBA SPI1_NSS/I2S1_WS PWM4_CH1 EVENTOUT	-

封装类型				端口名	端口类型	端口结构	端口功能	
LQFP48 C1	LQFP64 R1	QFN48 C2	QFN32 K1				复用功能	附加功能
26	34	26	-	PB13	I/O	FT	SPI2_SCK/I2S2_CK TIM15_CH1N TIM1_CH1N I2C2_SCL SPI1_SCK/I2S1_CK LPTIM1_ETR PWM4_CH2 USART1_RX EVENTOUT	-
27	35	27	17	PB14	I/O	FT	SPI2_MISO TIM15_CH1 TIM1_CH2N I2C2_SDA SPI1_MISO LPTIM1_OUT PWM2_CH1N PWM4_CH3 USART1_TX EVENTOUT	-
28	36	28	-	PB15	I/O	FT	SPI2_MOSI/I2S2_SD TIM15_CH2 TIM1_CH3N TIM15_CH1N SPI1_MOSI/I2S1_SD PWM2_CH1 PWM4_CH4 EVENTOUT	-
-	37	-	-	PC6	I/O	TT	TIM3_CH1 I2C1_SCL TIM1_CH1 I2S2_MCK PWM1_CH2N EVENTOUT	-
-	38	-	-	PC7	I/O	TT	TIM3_CH2 I2C1_SDA	-

封装类型				端口名	端口类型	端口结构	端口功能	
LQFP48 C1	LQFP64 R1	QFN48 C2	QFN32 K1				复用功能	附加功能
							TIM1_CH2 I2S2_MCK SPI2_SCK/I2S2_CK PWM3_CH2N LPUART1_RX EVENTOUT	
-	39	-	-	PC8	I/O	TT	TIM3_CH3 TIM1_CH3 PWM3_CH1N LPUART1_TX EVENTOUT	-
-	40	-	-	PC9	I/O	TT	TIM3_CH4 I2C2_SDA TIM1_CH4 I2C1_SDA PWM2_ETR_LS EVENTOUT	-
29	41	29	18	PA8	I/O	FT	MCO TIM15_ETR TIM1_CH1 I2C2_SCL PWM1_CH1N UART1_TX USART1_CK EVENTOUT	-
30	42	30	19	PA9	I/O	TT	TIM15_BKIN TIM1_CH2 I2C1_SCL I2C2_SMBA PWM2_CH1N PWM3_CH1 USART1_TX EVENTOUT	COMP2_INP

封装类型				端口名	端口类型	端口结构	端口功能	
LQFP48 C1	LQFP64 R1	QFN48 C2	QFN32 K1				复用功能	附加功能
31	43	31	20	PA10	I/O	TT_a	TIM17_BKIN TIM1_CH3 I2C1_SDA SPI2_SCK/I2S2_CK SPI1_SCK/I2S1_CK LPTIM1_IN1 PWM2_ETR_LS USART1_RX EVENTOUT	-
32	44	32	21	PA11	I/O	FT	TIM1_CH4 COMP1_OUT I2C2_SCL I2C1_SMBA LPTIM1_IN2 PWM4_CH1 USART1_CTS EVENTOUT	-
33	45	33	22	PA12	I/O	FT	TIM1_ETR COMP2_OUT I2C2_SDA TIM4_ETR PWM2_CH3 USART1_RTS_DE EVENTOUT	-
34	46	34	23	PA13	I/O	FT	SWDIO_JTMS IR_OUT OPA2_COMP_OUT I2C1_SDA SPI2_MISO SPI1_MISO PWM2_CH4 EVENTOUT	-
35	47	35	-	PD6	I/O	TT	I2C2_SCL PWM2_BKIN	-

封装类型				端口名	端口类型	端口结构	端口功能	
LQFP48 C1	LQFP64 R1	QFN48 C2	QFN32 K1				复用功能	附加功能
							PWM3_CH4 LPUART1_RX EVENTOUT	
36	48	36	25	PD7 ⁽³⁾⁽⁴⁾	I/O	TT_a	I2C2_SDA SPI1_MISO TIM1_CH2 PWM1_ETR_LS PWM2_CH2N LPUART1_TX EVENTOUT	VREFBUF_OUT
37	49	37	24	PA14	I/O	FT	SWCLK_JTCK I2C1_SMBA SPI2_MOSI/I2S2_SD SPI1_MOSI/I2S1_SD LPTIM1_ETR PWM4_CH2 UART1_TX EVENTOUT	-
38	50	38	25	PA15 ⁽⁴⁾	I/O	FT	JTDI TIM2_ETR TIM2_CH1 SPI2_NSS/I2S2_WS SPI1_NSS/I2S1_WS LPTIM1_OUT PWM3_BKIN UART1_RX LPUART1_RTS_DE EVENTOUT	-
-	51	-	-	PC10	I/O	TT	TIM15_ETR PWM1_CH4 PWM2_CH2N UART2_TX LPUART1_TX EVENTOUT	-

封装类型				端口名	端口类型	端口结构	端口功能	
LQFP48 C1	LQFP64 R1	QFN48 C2	QFN32 K1				复用功能	附加功能
-	52	-	-	PC11	I/O	TT	PWM1_CH4 PWM3_CH2 UART2_RX LPUART1_RX EVENTOUT	-
-	53	-	-	PC12	I/O	TT	TIM4_CH2 PWM3_CH3 EVENTOUT	-
-	54	-	-	PD2	I/O	FT	TIM3_ETR PWM2_CH1 EVENTOUT	-
39	55	39	26	PB3	I/O	FT	JTDO SPI1_SCK/I2S1_CK TIM2_CH2 SPI2_SCK/I2S2_CK PWM3_CH2N USART1_RTS_DE EVENTOUT	-
40	56	40	27	PB4	I/O	FT	JTRST SPI1_MISO TIM3_CH1 TIM17_BKIN SPI2_MISO I2C1_SDA PWM4_CH4 USART1_CTS EVENTOUT	-
41	57	41	28	PB5	I/O	FT	SPI1_MOSI/I2S1_SD TIM3_CH2 TIM16_BKIN I2C1_SMBA SPI2_MOSI/I2S2_SD PWM2_ETR_HS	WKUP3

封装类型				端口名	端口类型	端口结构	端口功能	
LQFP48 C1	LQFP64 R1	QFN48 C2	QFN32 K1				复用功能	附加功能
							USART1_CK EVENTOUT	
42	58	42	29	PB6	I/O	FT	I2C1_SCL TIM16_CH1N I2S1_MCK PWM3_CH3 USART1_TX EVENTOUT	-
43	59	43	30	PB7	I/O	FT	I2C1_SDA TIM17_CH1N PWM4_CH3 USART1_RX LPUART1_CTS EVENTOUT	-
44	60	44	31	PD3-BOOT0	I/O	FT	TIM4_CH2 PWM2_CH2 EVENTOUT	-
45	61	45	-	PB8	I/O	FT	I2C1_SCL TIM16_CH1 COMP1_OUT PWM3_CH4 USART1_TX EVENTOUT	-
46	62	46	-	PB9	I/O	FT	IR_OUT I2C1_SDA TIM17_CH1 COMP2_OUT SPI2_NSS/I2S2_WS I2S1_MCK UART1_TX EVENTOUT	-
47	63	47	32	PD8	I/O	FT	TIM4_CH3 PWM2_CH2 EVENTOUT	-

封装类型				端口名	端口类型	端口结构	端口功能	
LQFP48 C1	LQFP64 R1	QFN48 C2	QFN32 K1				复用功能	附加功能
48	64	48	-	PD9	I/O	FT	SPI1_NSS/I2S1_WS TIM4_CH3 PWM3_BKIN USART1_RX EVENTOUT	-

- 1. 可用功能取决于所选器件。如果多个外设共享相同的 I/O 引脚，为避免这些备用功能之间的冲突，一次只能通过外设时钟启用位（在相应的 RCC 外设时钟启用寄存器中）启用一个外设。
- 2. 第一次备份域上电后的主要功能。在这之后，取决于备份寄存器的内容，即使在复位之后也是如此（因为这些寄存器不受主区域复位控制）。
- 3. 使用 VREFBUF 功能时，PD7 需外接 1 μF 电容，且不能同时当作 IO 使用。
- 4. 两个 IO 端口引出在同一个 pin 脚，同一时间只能使用其中任意一个 IO 端口，且另外一个 IO 必须配置为模拟模式（MODEy[1:0] 为 0B11）。

3.1. 端口 A 复用功能映射

表 3-3 端口 A 复用功能映射

PortA	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
PA0	-	-	TIM2_ETR	TIM2_CH1	-	COMP1_OUT	TIM1_ETR	-	TIM4_CH4	-	PWM1_ETR_LS	-	-	UART1_RX	LPUART1_TX	EVENTOUT
PA1	-	-	-	TIM2_CH2	I2C2_SDA	OPA2_COMP_OUT	TIM15_CH1N	I2C1_SMBA	TIM4_ETR	-	PWM1_BKIN	PWM2_CH1	-	-	LPUART1_RX	EVENTOUT
PA2	-	TIM15_CH1	-	TIM2_CH3	-	COMP2_OUT	-	-	-	-	PWM1_CH2	-	-	UART1_TX	-	EVENTOUT
PA3	-	TIM15_CH2	-	TIM2_CH4	I2C2_SCL	-	I2S2_MCK	-	-	-	PWM1_CH2N	PWM2_BKIN	-	UART1_RX	-	EVENTOUT
PA4	-	SPI1_NSS/ I2S1_WS	-	-	-	-	I2C1_SCL	SPI2_NSS/ I2S2_WS	-	-	PWM1_CH1	-	-	-	-	EVENTOUT
PA5	-	SPI1_SCK/ I2S1_CK	TIM2_ETR	TIM2_CH1	-	OPA2_COMP_OUT	-	-	-	LPTIM1_IN1	PWM1_CH1N	-	-	UART2_RX	USART1_CK	EVENTOUT
PA6	-	SPI1_MISO	TIM3_CH1	TIM1_BKIN	-	COMP1_OUT	TIM16_CH1	I2S2_MCK	TIM4_CH1	-	PWM1_ETR_HS	-	PWM3_CH1N	UART2_RX	-	EVENTOUT
PA7	-	SPI1_MOSI/ I2S1_SD	TIM3_CH2	TIM1_CH1N	-	COMP2_OUT	TIM17_CH1	-	I2C2_SCL	-	PWM1_CH1	-	-	UART2_TX	-	EVENTOUT
PA8	MCO	TIM15_ETR	-	TIM1_CH1	-	-	-	-	I2C2_SCL	-	PWM1_CH1N	-	-	UART1_TX	USART1_CK	EVENTOUT
PA9	-	TIM15_BKIN	-	TIM1_CH2	-	I2C1_SCL	-	-	I2C2_SMBA	-	-	PWM2_CH1N	PWM3_CH1	USART1_TX	-	EVENTOUT
PA10	-	TIM17_BKIN	-	TIM1_CH3	-	I2C1_SDA	-	SPI2_SCK/ I2S2_CK	SPI1_SCK/ I2S1_CK	LPTIM1_IN1	-	PWM2_ETR_LS	-	USART1_RX	-	EVENTOUT
PA11	-	-	-	TIM1_CH4	-	COMP1_OUT	I2C2_SCL	I2C1_SMBA	-	LPTIM1_IN2	-	-	PWM4_CH1	USART1_CTS	-	EVENTOUT
PA12	-	-	-	TIM1_ETR	-	COMP2_OUT	I2C2_SDA	-	TIM4_ETR	-	-	PWM2_CH3	-	USART1_RTS_DE	-	EVENTOUT
PA13	SWDIO_JTMS	-	IR_OUT	-	-	OPA2_COMP_OUT	I2C1_SDA	SPI2_MISO	SPI1_MISO	-	-	PWM2_CH4	-	-	-	EVENTOUT
PA14	SWCLK_JTCK	-	-	-	-	-	I2C1_SMBA	SPI2_MOSI/ I2S2_SD	SPI1_MOSI/ I2S1_SD	LPTIM1_ETR	-	-	PWM4_CH2	UART1_TX	-	EVENTOUT
PA15	JTDI	-	TIM2_ETR	TIM2_CH1	-	-	-	SPI2_NSS/ I2S2_WS	SPI1_NSS/ I2S1_WS	LPTIM1_OUT	-	-	PWM3_BKIN	UART1_RX	LPUART1_RTS_DE	EVENTOUT

3.2. 端口 B 复用功能映射

表 3-4 端口 B 复用功能映射

PortB	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
PB0	-	-	TIM3_CH3	TIM1_CH2N	-	-	-	I2S1_MCK	SPI1_MISO	-	-	-	PWM3_ETR_LS	UART1_RX	-	EVEN-TOUT
PB1	-	-	TIM3_CH4	TIM1_CH3N	-	-	-	SPI2_SCK/ I2S2_CK	SPI1_MOSI/ I2S1_SD	-	PWM1_CH1	-	PWM3_ETR_HS	-	-	EVEN-TOUT
PB2	-	-	TIM3_ETR	-	-	-	-	-	I2C1_SMBA	-	PWM1_CH1N	-	PWM3_CH2	-	-	EVEN-TOUT
PB3	JTDO	SPI1_SCK/ I2S1_CK	-	TIM2_CH2	-	-	-	SPI2_SCK/ I2S2_CK	-	-	-	-	PWM3_CH2N	USART1_RTS_DE	-	EVEN-TOUT
PB4	JTRST	SPI1_MISO	TIM3_CH1	-	-	-	TIM17_BKIN	SPI2_MISO	I2C1_SDA	-	-	-	PWM4_CH4	USART1_CTS	-	EVEN-TOUT
PB5	-	SPI1_MOSI/ I2S1_SD	TIM3_CH2	TIM16_BKIN	I2C1_SMBA	-	-	SPI2_MOSI/ I2S2_SD	-	-	-	PWM2_ETR_HS	-	USART1_CK	-	EVEN-TOUT
PB6	-	-	I2C1_SCL	TIM16_CH1N	-	-	-	I2S1_MCK	-	-	-	-	PWM3_CH3	USART1_TX	-	EVEN-TOUT
PB7	-	-	I2C1_SDA	TIM17_CH1N	-	-	-	-	-	-	-	-	PWM4_CH3	USART1_RX	LPUART1_CTS	EVEN-TOUT
PB8	-	-	I2C1_SCL	TIM16_CH1	-	COMP1_OUT	-	-	-	-	-	-	PWM3_CH4	USART1_TX	-	EVEN-TOUT
PB9	-	IR_OUT	I2C1_SDA	TIM17_CH1	-	COMP2_OUT	SPI2_NSS/ I2S2_WS	I2S1_MCK	-	-	-	-	-	UART1_TX	-	EVEN-TOUT
PB10	-	-	I2C2_SCL	TIM2_CH3	-	OPA2_COMP_OUT	SPI2_SCK/ I2S2_CK	-	-	LPTIM1_IN1	-	-	PWM3_ETR_HS	UART2_TX	-	EVEN-TOUT
PB11	-	-	I2C2_SDA	TIM2_CH4	-	-	TIM15_ETR	-	-	LPTIM1_IN2	-	-	-	UART2_RX	-	EVEN-TOUT
PB12	-	SPI2_NSS/ I2S2_WS	-	TIM1_BKIN	-	-	TIM15_BKIN	I2C2_SMBA	SPI1_NSS/ I2S1_WS	-	-	-	PWM4_CH1	-	-	EVEN-TOUT
PB13	-	SPI2_SCK/ I2S2_CK	TIM15_CH1N	TIM1_CH1N	-	-	I2C2_SCL	-	SPI1_SCK/ I2S1_CK	LPTIM1_ETR	-	-	PWM4_CH2	USART1_RX	-	EVEN-TOUT
PB14	-	SPI2_MISO	TIM15_CH1	TIM1_CH2N	-	-	I2C2_SDA	-	SPI1_MISO	LPTIM1_OUT	-	PWM2_CH1N	PWM4_CH3	USART1_TX	-	EVEN-TOUT
PB15	-	SPI2_MOSI/ I2S2_SD	TIM15_CH2	TIM1_CH3N	TIM15_CH1N	-	-	-	SPI1_MOSI/ I2S1_SD	-	-	PWM2_CH1	PWM4_CH4	-	-	EVEN-TOUT

3.3. 端口 C 复用功能映射

表 3-5 端口 C 复用功能映射

PortC	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
PC0		-	I2C2_SCL	-		-	-	-	I2C1_SCL	-	-	PWM2_ETR_HS	-	-	-	EVENTOUT
PC1		-	I2C2_SDA	-		-	SPI1_MOSI/I2S1_SD	SPI2_MOSI/I2S2_SD	I2C1_SDA	-	PWM1_ETR_HS	-	-	-	-	EVENTOUT
PC2		-	SPI2_MISO	-	I2S2_MCK	-	-	-	-	-	PWM1_CH3	-	-	-	-	EVENTOUT
PC3		-	SPI2_MOSI/I2S2_SD	-	-	-	-	-	-	-	PWM1_CH3	-	-	-	-	EVENTOUT
PC4	-	-	-	-	-	TIM4_CH1	-	I2S1_MCK	-	-	PWM1_BKIN	-	-	UART2_TX	-	EVENTOUT
PC5	-	-	-	-	-	-	-	-	-	-	PWM1_CH2	-	-	UART2_RX	-	EVENTOUT
PC6	-	TIM3_CH1	I2C1_SCL	TIM1_CH1	-	-	I2S2_MCK	-	-	-	PWM1_CH2N	-	-	-	-	EVENTOUT
PC7	-	TIM3_CH2	I2C1_SDA	TIM1_CH2	-	-	I2S2_MCK	SPI2_SCK/I2S2_CK	-	-	-	-	PWM3_CH2N	-	LPUART1_RX	EVENTOUT
PC8	-	TIM3_CH3	-	TIM1_CH3	-	-	-	-	-	-	-	-	PWM3_CH1N	-	LPUART1_TX	EVENTOUT
PC9	-	TIM3_CH4	I2C2_SDA	TIM1_CH4	-	-	-	-	I2C1_SDA	-	-	PWM2_ETR_LS	-	-	-	EVENTOUT
PC10	-	-	-	-	-	-	TIM15_ETR	-	-	-	PWM1_CH4	PWM2_CH2N	-	UART2_TX	LPUART1_TX	EVENTOUT
PC11	-	-	-	-	-	-	-	-	-	-	PWM1_CH4	-	PWM3_CH2	UART2_RX	LPUART1_RX	EVENTOUT
PC12	-	-	-	-	-	TIM4_CH2	-	-	-	-	-	-	PWM3_CH3	-	-	EVENTOUT
PC13	-	-	-	-	-	-	-	-	-	-	PWM1_CH2	-	-	-	-	EVENTOUT
PC14	-	-	-	-	-	-	-	-	-	-	PWM1_CH3	-	-	-	-	EVENTOUT
PC15	-	-	-	-	-	-	-	-	-	-	PWM1_CH4	-	-	-	-	EVENTOUT

3.4. 端口 D 复用功能映射

表 3-6 端口 D 复用功能映射

PortD	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
PD0	-	-	-	TIM1_CH1	-	-	-	-	-	-	-	-	-	-	-	EVENTOUT
PD1	-	-	-	TIM1_CH2N	-	-	-	SPI2_NSS/ I2S2_WS	-	-	-	-	-	-	-	EVENTOUT
PD2	-	TIM3_ETR	-	-	-	-	-	-	-	-	-	PWM2_CH1	-	-	-	EVENTOUT
PD3	-	-	-	-	-	TIM4_CH2	-	-	-	-	-	PWM2_CH2	-	-	-	EVENTOUT
PD4	-	-	I2C1_SDA	TIM2_CH1	-	-	-	-	-	-	-	PWM2_CH3	-	-	-	EVENTOUT
PD5	-	-	I2C1_SCL	TIM2_CH2	-	-	-	-	-	-	-	PWM2_CH4	PWM3_CH1	-	-	EVENTOUT
PD6	-	I2C2_SCL	-	-	-	-	-	-	-	-	-	PWM2_BKIN	PWM3_CH4	-	LPUART1_RX	EVENTOUT
PD7	-	I2C2_SDA	SPI1_MISO	TIM1_CH2	-	-	-	-	-	-	PWM1_ETR_LS	PWM2_CH2N	-	-	LPUART1_TX	EVENTOUT
PD8	-	-	-	-	-	TIM4_CH3	-	-	-	-	-	PWM2_CH2	-	-	-	EVENTOUT
PD9	-	SPI1_NSS/ I2S1_WS	-	-	-	TIM4_CH3	-	-	-	-	-	-	PWM3_BKIN	USART1_RX	-	EVENTOUT
PD10	-	-	-	-	-	TIM4_CH4	-	-	-	-	-	-	PWM3_ETR_LS	USART1_TX	-	EVENTOUT
PD11	MCO	-	-	-	-	-	-	-	-	-	-	-	-	-	-	EVENTOUT

4. 存储器映射

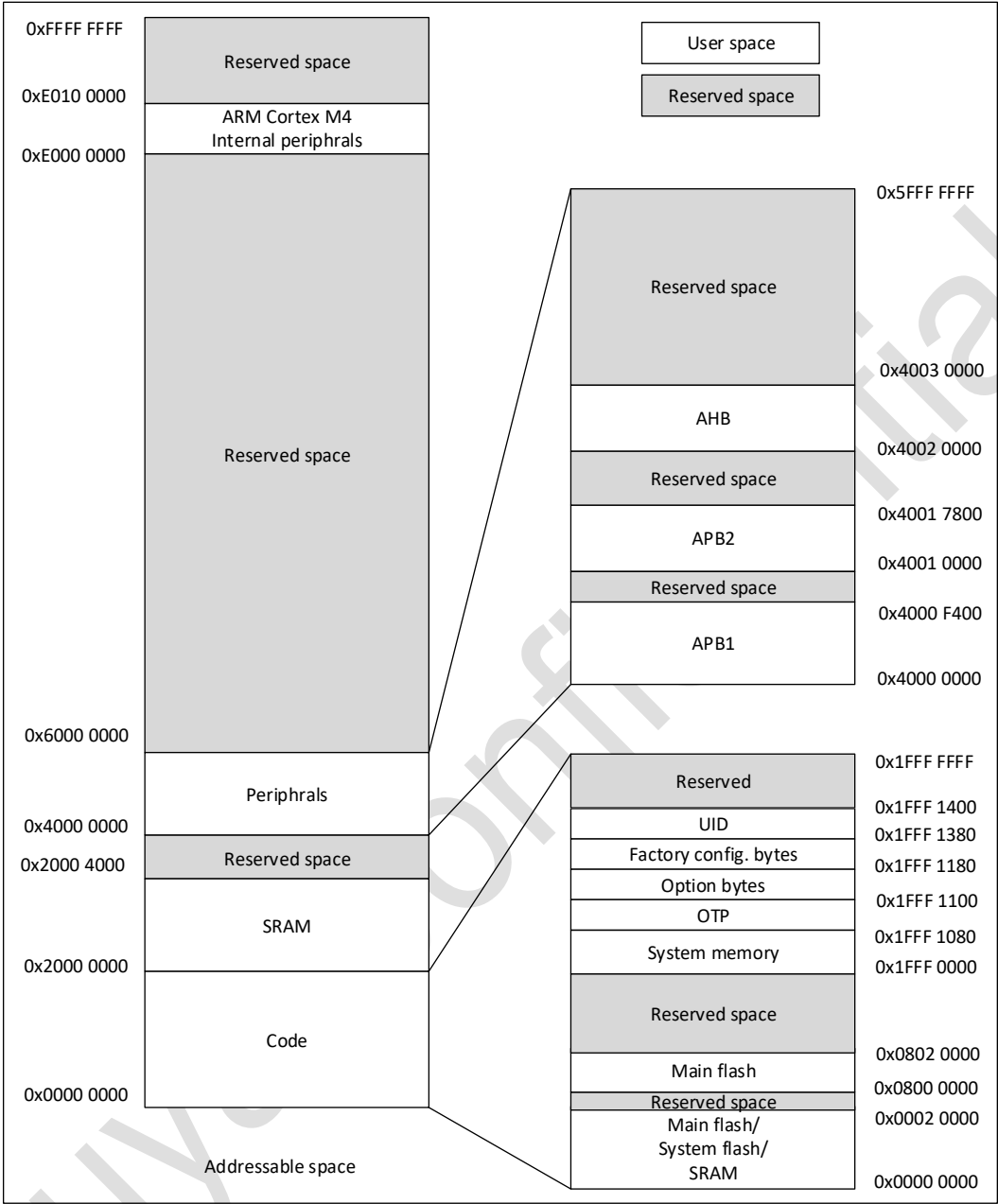


图 4-1 存储器映射

表 4-1 存储器地址

类型	边界地址	大小	存储区	描述
SRAM	0x2002 4000-0x3FFF FFFF	511 MB	保留	1.CPU 读写该空间时产生 Re-sponse error, 进而进入 HardFault 异常; 2.DMA 访问时产生 TEIF 状态位;
	0x2000 0000-0x2000 3FFF	16 KB	SRAM	如果硬件上电配置 SRAM 为 128 KB, 则 SRAM 地址空间为 0x2000 0000-0x2000 3FFF
Code	0x1FFF 1380 - 0x1FFF 13FF	128 Bytes	UID bytes	Unique ID
	0x1FFF 1180 - 0x1FFF 137F	512 Bytes	Factory config. bytes	-
	0x1FFF 1100 - 0x1FFF 117F	128 Bytes	Option bytes	芯片软硬件 option bytes 信息;
	0x1FFF 1080 - 0x1FFF 10FF	128 Bytes	OTP	-
	0x1FFF 0000 - 0x1FFF 107F	4.125 KB	System memory	存放 Boot loader
	0x0802 0000-0x1FFE FFFF	127 MB	保留	-
	0x0800 0000-0x0801 FFFF	128 KB	Main flash memory	-
	0x0002 0000-0x07FF FFFF	127 MB	保留	1.CPU 读写该空间时产生 Re-sponse error, 进而进入 HardFault 异常; 2.DMA 访问时产生 TEIF 状态位;
	0x0000 0000-0x0001 FFFF	128 KB	根据 Boot 配置选择是: 1) Main flash memory 2) System memory 3) SRAM	-

1. 上述空间标注为**保留**的空间, 无法进行写操作, 读为 0, 且产生 response error。

表 4-2 外设寄存器地址

存储器起止地址	外设	总线	最大频率
0x4002 5000 - 0x4002 FFFF	保留	AHB	128 MHz
0x4002 4C00 - 0x4002 4FFF	GPIOB		
0x4002 4800 - 0x4002 4BFF	GPIOC		
0x4002 4400 - 0x4002 47FF	GPIOB		
0x4002 4000 - 0x4002 43FF	GPIOA		
0x4002 3400 - 0x4002 3FFF	保留		
0x4002 3000 - 0x4002 33FF	CRC		
0x4002 2400 - 0x4002 2FFF	保留		
0x4002 2000 - 0x4002 23FF	FMC		
0x4002 1400 - 0x4002 1FFF	保留		
0x4002 1000 - 0x4002 13FF	RCC		
0x4002 0400 - 0x4002 0FFF	保留		
0x4002 0000 - 0x4002 03FF	DMA1		
0x4001 7C00 - 0x4001 FFFF	保留	APB2	128 MHz
0x4001 7800 - 0x4001 7BFF	PWM4		
0x4001 7400 - 0x4001 77FF	保留		
0x4001 7000 - 0x4001 73FF	OPA		
0x4001 6C00 - 0x4001 6FFF	COMP		
0x4001 6400 - 0x4001 6BFF	保留		
0x4001 6000 - 0x4001 63FF	TIMER17		
0x4001 5C00 - 0x4001 5FFF	TIMER16		
0x4001 5800 - 0x4001 5BFF	TIMER15		
0x4001 4400 - 0x4001 57FF	保留		
0x4001 4000 - 0x4001 43FF	PWM3		
0x4001 3C00 - 0x4001 3FFF	保留		
0x4001 3800 - 0x4001 3BFF	USART1		
0x4001 3400 - 0x4001 37FF	保留		
0x4001 3000 - 0x4001 33FF	SPI1		
0x4001 2C00 - 0x4001 2FFF	TIMER1		
0x4001 2800 - 0x4001 2BFF	保留		
0x4001 2400 - 0x4001 27FF	ADC1		
0x4001 0800 - 0x4001 23FF	保留		
0x4001 0400 - 0x4001 07FF	EXTI		
0x4001 0000 - 0x4001 03FF	SYSCFG		
0x4000 8400 - 0x4000 FFFF	保留	APB1	128 MHz
0x4000 8000 - 0x4000 83FF	LPUART1		
0x4000 7C00 - 0x4000 7FFF	LPTIM1		
0x4000 7400 - 0x4000 7BFF	保留		
0x4000 7000 - 0x4000 73FF	PWR		
0x4000 6000 - 0x4000 6FFF	保留		
0x4000 5800 - 0x4000 5FFF	I2C2		
0x4000 5400 - 0x4000 57FF	I2C1		
0x4000 5000 - 0x4000 53FF	UART2		

存储器起止地址	外设	总线	最大频率
0x4000 4C00 - 0x4000 4FFF	UART1		
0x4000 4400 - 0x4000 4BFF	保留		
0x4000 4000 - 0x4000 43FF	PWM2		
0x4000 3C00 - 0x4000 3FFF	保留		
0x4000 3800 - 0x4000 3BFF	SPI2/I2S2		
0x4000 3400 - 0x4000 37FF	PWM1		
0x4000 3000 - 0x4000 33FF	IWDG		
0x4000 2C00 - 0x4000 2FFF	WWDG		
0x4000 2800 - 0x4000 2BFF	RTC		
0x4000 1800 - 0x4000 27FF	保留		
0x4000 1400 - 0x4000 17FF	TIMER7		
0x4000 1000 - 0x4000 13FF	TIMER6		
0x4000 0C00 - 0x4000 0FFF	保留		
0x4000 0800 - 0x4000 0BFF	TIMER4		
0x4000 0400 - 0x4000 07FF	TIMER3		
0x4000 0000 - 0x4000 03FF	TIMER2		

1. 上表 AHB 标注为保留的地址空间，无法写操作，读回为 0，且产生 HardFault。
2. 不仅支持 32 位字访问，还支持半字和字节访问。
3. 不仅支持 32 位字访问，还支持半字访问。

5. 电气特性

5.1. 测试条件

除非特殊说明，所有的电压都以 V_{SS} 为基准。

5.1.1. 最小值和最大值

除非特别说明，所有器件的最小值和最大值已在生产期间进行过测试，测试环境温度为 $T_A = 25\text{ }^{\circ}\text{C}$ 和 $T_A = T_{Amax}$ （取决于所选器件的温度范围），这些值能在最坏的环境温度、供电电压和时钟频率条件下得到保证。

根据特性分析结果、设计仿真和 / 或技术特性得到的数据在表格的脚注中说明，并未在生产中进行测试。在特性分析基础上，最小值和最大值是通过样本测试后，取其平均值再加上或减去三倍的标准差（平均值 $\pm 3\sigma$ ）得到。

5.1.2. 典型值

除非特别说明，典型数据都是在 $T_A = 25\text{ }^{\circ}\text{C}$ 、 $V_{CC} = 3.3\text{ V}$ 条件下测得的（针对 $2.0\text{ V} \leq V_{CC} \leq 3.6\text{ V}$ 电压范围。这些数据未经测试，仅供设计参考。

典型的 ADC 精度值是通过对于一个标准扩散批次采样，在整个温度范围内执行特性分析确定的，其中 95 % 的器件的误差小于或等于指定的值（平均值 $\pm 2\sigma$ ）。

5.1.3. 供电方案

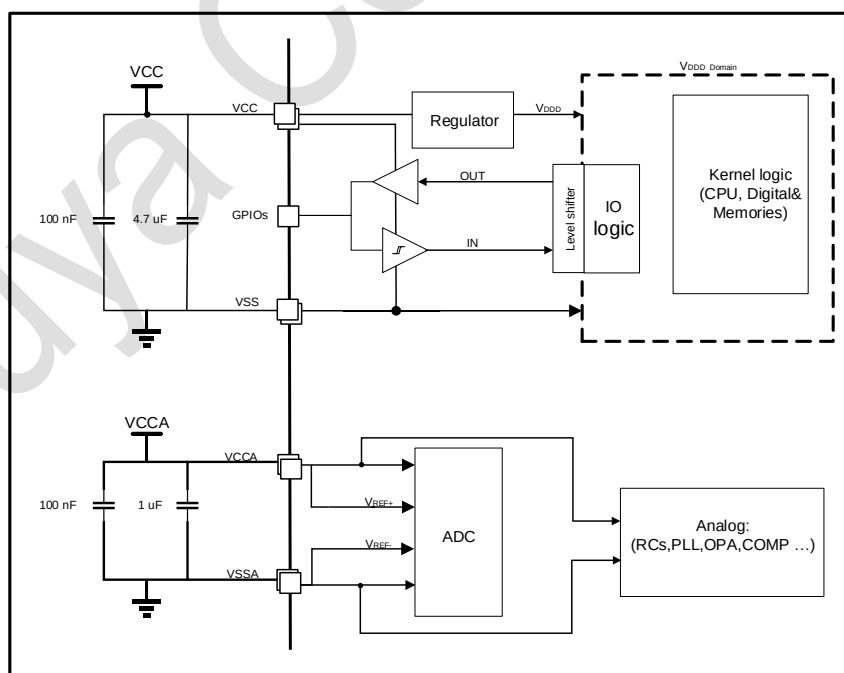


图 5-1 供电方案图

5.2. 绝对最大额定值

如果加在芯片上超过以下表格给出的绝对最大值，可能会导致芯片永久性的损坏。这里只是列出了所能承受的强度分等，并不意味着在此条件下器件的功能操作无误。长时间工作在最大值条件下可能影响芯片的可靠性。

表 5-1 电压特性⁽¹⁾

符号	描述	最小值	最大值	单位
$V_{CC}-V_{SS}$	外部供电电压 (包括 V_{CC} , V_{CCA})	-0.3	4.0	V
$V_{IN}^{(2)}$	FT、NRST 引脚输入电压	$V_{SS}-0.3$	5.5	V
	TT、TT_a 引脚输入电压	$V_{SS}-0.3$	4.0	
$ DV_{CCX} $	不同 V_{CC} 引脚之间电压变化	-	50	mV
$ V_{SSX}-V_{SS} $	不同引脚之间电压变化	-	50	

1. 电源 V_{CC} 和地 V_{SS} 引脚必须始终连接到外部允许范围内的供电系统上。
2. V_{IN} 的最大值必须始终遵循允许的最大注入电流值，具体见下表。

表 5-2 电流特性

符号	描述	最大值	单位
ΣI_{VCC}	流入所有 V_{CC}/V_{CCA} 电源线的总电流 (拉电流) ⁽¹⁾	170	mA
ΣI_{VSS}	流出所有 V_{SS} 接地线的总电流 (灌电流) ⁽¹⁾	170	
$\Sigma I_{IO(PIN)}^{(2)}$	所有 I/O 和控制引脚的总输出灌电流	120	
	所有 I/O 和控制引脚的总拉电流	120	
$I_{IO}^{(2)}$	任意 I/O 和控制引脚的输出灌电流	30	
	任意 I/O 和控制引脚的输出拉电流	30	
$I_{INJ(PIN)}^{(3)}$	在所有 5 V-tolerant 引脚上的注入电流 ⁽⁴⁾	-5/+0	
	其他所有引脚注入电流 ⁽⁵⁾	± 5	
$\Sigma I_{INJ(PIN)}^{(6)}$	所有 I/O 和控制引脚上的总注入电流	± 25	

1. 电源 V_{CC} 和地 V_{SS} 引脚必须始终连接到外部允许范围内的供电系统上。
2. IO 类型可参考引脚定义的术语和符号。
3. 反向注入电流会干扰器件的模拟性能。
4. 这些 I/O 上无法正向注入，输入电压低于指定的最大值时也不会发生正向注入。
5. 当 $V_{IN} > V_{CCA}$ 时，会产生正向注入电流；当 $V_{IN} < V_{SS}$ 时，会产生反向注入电流。
6. 当多个输入同时存在注入电流时， $\Sigma I_{INJ(PIN)}$ 的最大值等于正向注入电流和反向注入电流（瞬时值）的绝对值之和。

表 5-3 温度特性

符号	描述	最大值	单位
T_{STG}	储存温度范围	-65 ~ 150	°C
T_J	最大结温	150	°C

5.3. 工作条件

5.3.1. 通用工作条件

表 5-4 通用工作条件

符号	参数	条件	最小值	最大值	单位
f_{HCLK}	AHB 时钟频率	Range 1	0	128	MHz
		Range 2	0	96	
		Range 3	0	64	
f_{PCLK1}	APB1 时钟频率	Range 1	0	128	
		Range 2	0	96	
		Range 3	0	64	
f_{PCLK2}	APB2 时钟频率	Range 1	0	128	
		Range 2	0	96	
		Range 3	0	64	
V_{CC}	工作电压	-	2.0	3.6	V
V_{CCA}	模拟电路工作电压	必须与 V_{CC} 相同	2.0	3.6	V
V_{IN}	FT、NRST 引脚输入电压	-	$V_{SS}-0.3$	5.5	V
	TT、TT_a 引脚输入电压	-	$V_{SS}-0.3$	3.6	
T_A	环境温度	-	-40	105	°C
T_J	结温范围	-	-40	110	°C

5.3.2. 上下电工作条件

表 5-5 上电和掉电工作条件

符号	参数	条件	最小值	最大值	单位
t_{VCC}	V_{CC} 上升速率	-	10	∞	$\mu s/V$
	V_{CC} 下降速率	-	20	∞	

5.3.3. 复位和电压控制模块特性

表 5-6 复位和电压控制模块特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{PVD}^{(3)}$	可编程电压检测器电平选择	PLS[2:0]=000(上升沿)	保留			V
		PLS[2:0]=000(下降沿)				
		PLS[2:0]=001(上升沿)	2.08 ⁽²⁾	2.18	2.28	
		PLS[2:0]=001(下降沿)	2.0	2.08	2.18 ⁽²⁾	
		PLS[2:0]=010 (上升沿)	2.27 ⁽²⁾	2.37	2.47	
		PLS[2:0]=010 (下降沿)	2.17	2.27	2.37 ⁽²⁾	
		PLS[2:0]=011 (上升沿)	2.46 ⁽²⁾	2.56	2.66	
		PLS[2:0]=011 (下降沿)	2.36	2.46	2.56 ⁽²⁾	
		PLS[2:0]=100 (上升沿)	2.64 ⁽²⁾	2.74	2.84	
		PLS[2:0]=100 (下降沿)	2.54	2.64	2.74 ⁽²⁾	
		PLS[2:0]=101 (上升沿)	2.73 ⁽²⁾	2.83	2.93	

符号	参数	条件	最小值	典型值	最大值	单位
		PLS[2:0]=101 (下降沿)	2.63	2.73	2.83 ⁽²⁾	
		PLS[2:0]=110 (上升沿)	2.83 ⁽²⁾	2.93	3.03	
		PLS[2:0]=110 (下降沿)	2.73	2.83	2.93 ⁽²⁾	
		PLS[2:0]=111 (上升沿)	保留			
		PLS[2:0]=111 (下降沿)				
V _{PVDhyst} ⁽¹⁾	PVD 迟滞	-	-	100	-	mV
V _{POR/PDR}	上电/下电复位阈值	上升沿	1.86	1.92	1.98	V
		下降沿	1.82	1.88	1.94	V
V _{PDRhyst} ⁽¹⁾	PDR 迟滞	-	-	40	-	mV
t _{RSTTEMPO} ⁽⁴⁾	复位持续时间	-	1	2.5	4.5	ms

1. 由设计保证，不在生产中测试。
2. 数据基于考核结果，不在生产中测试。
3. PVD 生效需打开 LSI 或 LSE 时钟。
4. 复位持续时间的测量方法为从上电（POR 复位）到用户应用代码读取第一条指令的时刻。

5.3.4. 工作电流特性

电流消耗受多个参数和因素影响，包括工作电压、环境温度、I/O 引脚负载、器件软件配置、工作频率、I/O 引脚开关速率、程序在存储器中的位置以及执行的代码等。本节所述各种运行模式下的电流消耗测量值都通过一套精简代码得出。

最大电流消耗

微控制器处于下列条件：

- 所有的 I/O 引脚都处于输入模式， V_{CC} 或 V_{SS} 上为静态值（无负载）。
- 所有的外设都处于关闭状态，除非特别说明。
- 闪存存储器的访问时间调整到 f_{HCLK} 的频率（0 ~ 28 MHz 时为 0 个等待周期，28 ~ 60 MHz 时为 1 个等待周期，60 ~ 90 MHz 时为 3 个等待周期，90 ~ 120 MHz 时为 4 个等待周期，120 ~ 128 MHz 时为 5 个等待周期）。
- 除非特别说明， $V_{CC} = 3.6\text{ V}$ ，最大环境温度（ T_A ）时达到最大值，典型值为 $T_A = 25\text{ }^{\circ}\text{C}$ ， $V_{CC} = 3.3\text{ V}$ ；指令预取功能开启；当开启外设时： $f_{PCLK1/2} = f_{HCLK}$ 。

注：指令预取功能必须在设置时钟和总线分频之前设置。

表 5-7 Flash 下运行 (Run) 模式电流, ACC 使能

符号	条件				系统时钟	频率 $f_{HCLK}^{(2)}$	典型值 ⁽¹⁾			单位
	Code	运行	外设	电压模式			$T_A = 25\text{ }^{\circ}\text{C}$	$T_A = 85\text{ }^{\circ}\text{C}$	$T_A = 105\text{ }^{\circ}\text{C}$	
I _{VCC}	While(1)	Flash	所有外设时钟使能	Range 1 MR_VSEL = 2'b00	PLL	128 MHz	16.4	21.4	21.7	mA
					PLL	96 MHz	12.5	16.4	16.6	
					PLL	64 MHz	8.5	11.2	11.4	
					HSI	48 MHz	6.5	8.6	8.8	
					HSI	24 MHz	3.3	4.5	4.7	
					HSI	16 MHz	2.4	3.4	3.6	
					HSI	8 MHz	1.5	2.1	2.4	
				Range 2 MR_VSEL = 2'b10	PLL	96 MHz	12.0	15.8	15.9	
					PLL	64 MHz	8.2	10.8	10.9	
					HSI	48 MHz	6.2	8.3	8.4	
					HSI	24 MHz	3.2	4.3	4.5	
					HSI	16 MHz	2.3	3.2	3.4	
					HSI	8 MHz	1.4	2.1	2.3	
				Range 3 MR_VSEL = 2'b01	PLL	64 MHz	7.8	10.3	10.6	
					HSI	48 MHz	6.0	7.9	8.2	
					HSI	24 MHz	3.1	4.1	4.3	
					HSI	16 MHz	2.2	3.1	3.3	
					HSI	8 MHz	1.4	2.0	2.2	
			所有外设时钟禁止	Range 1 MR_VSEL = 2'b00	PLL	128 MHz	10.4	13.7	13.8	
					PLL	96 MHz	8.0	10.6	10.7	
					PLL	64 MHz	5.5	7.3	7.5	
					HSI	48 MHz	4.2	5.7	5.9	
					HSI	24 MHz	2.2	3.0	3.2	
					HSI	16 MHz	1.7	2.4	2.6	
					HSI	8 MHz	1.1	1.7	1.9	
				Range 2 MR_VSEL = 2'b10	PLL	96 MHz	7.7	10.2	10.3	
					PLL	64 MHz	5.3	7.1	7.2	
					HSI	48 MHz	4.1	5.5	5.6	

符号	条件				系统时钟	频率 f _{HCLK} ⁽²⁾	典型值 ⁽¹⁾			单位
	Code	运行	外设	电压模式			T _A = 25 °C	T _A = 85 °C	T _A = 105 °C	
					HSI	24 MHz	2.1	2.9	3.1	
					HSI	16 MHz	1.6	2.3	2.5	
					HSI	8 MHz	1.1	1.6	1.8	
				Range 3 MR_VSEL = 2'b01	PLL	64 MHz	5.1	6.8	6.9	
					HSI	48 MHz	3.9	5.3	5.4	
					HSI	24 MHz	2.0	2.8	3.0	
					HSI	16 MHz	1.5	2.2	2.4	
					HSI	8 MHz	1.0	1.5	1.7	

1. 数据基于考核结果，不在生产中测试。
2. 当 f_{HCLK} > 48 MHz 时启用 PLL。

表 5-8 Flash 下运行 (Run) 模式电流, ACC 不使能

符号	条件				系统时钟	频率 $f_{HCLK}^{(2)}$	典型值 ⁽¹⁾			单位
	Code	运行	外设	电压模式			$T_A = 25\text{ }^{\circ}\text{C}$	$T_A = 85\text{ }^{\circ}\text{C}$	$T_A = 105\text{ }^{\circ}\text{C}$	
I _{VCC}	While(1)	Flash	所有外设时钟使能	Range 1 MR_VSEL = 2'b00	PLL	128 MHz	14.9	19.5	19.7	mA
					PLL	96 MHz	11.3	14.9	15.1	
					PLL	64 MHz	7.7	10.2	10.4	
					HSI	48 MHz	5.9	7.9	8.1	
					HSI	24 MHz	3.3	4.5	4.6	
					HSI	16 MHz	2.4	3.3	3.5	
					HSI	8 MHz	1.5	1.8	2.3	
				Range 2 MR_VSEL = 2'b10	PLL	96 MHz	10.9	14.3	14.5	
					PLL	64 MHz	7.4	9.8	10.0	
					HSI	48 MHz	5.7	7.6	7.7	
					HSI	24 MHz	3.1	4.3	4.5	
					HSI	16 MHz	2.3	3.2	3.4	
					HSI	8 MHz	1.4	1.7	2.2	
				Range 3 MR_VSEL = 2'b01	PLL	64 MHz	7.1	9.4	9.6	
					HSI	48 MHz	5.4	7.3	7.4	
					HSI	24 MHz	3.0	4.1	4.3	
					HSI	16 MHz	2.2	3.1	3.2	
					HSI	8 MHz	1.4	1.6	2.2	
			所有外设时钟禁止	Range 1 MR_VSEL = 2'b00	PLL	128 MHz	8.9	11.8	11.9	
					PLL	96 MHz	6.8	9.1	9.2	
					PLL	64 MHz	4.7	6.3	6.5	
					HSI	48 MHz	3.6	5.0	5.2	
					HSI	24 MHz	2.1	3.0	3.2	

符号	条件				系统时钟	频率 $f_{HCLK}^{(2)}$	典型值 ⁽¹⁾			单位
	Code	运行	外设	电压模式			$T_A = 25\text{ }^{\circ}\text{C}$	$T_A = 85\text{ }^{\circ}\text{C}$	$T_A = 105\text{ }^{\circ}\text{C}$	
					HSI	16 MHz	1.6	2.3	2.5	
					HSI	8 MHz	1.1	1.6	1.8	
				Range 2 MR_VSEL = 2'b10	PLL	96 MHz	6.6	8.7	8.9	
					PLL	64 MHz	4.5	6.1	6.2	
					HSI	48 MHz	3.5	4.8	4.9	
					HSI	24 MHz	2.1	2.9	3.1	
					HSI	16 MHz	1.6	2.2	2.4	
					HSI	8 MHz	1.0	1.5	1.7	
				Range 3 MR_VSEL = 2'b01	PLL	64 MHz	4.4	5.9	6.0	
					HSI	48 MHz	3.4	4.6	4.7	
					HSI	24 MHz	2.0	2.8	2.9	
					HSI	16 MHz	1.5	2.2	2.3	
					HSI	8 MHz	1.0	1.5	1.7	

1. 数据基于考核结果，不在生产中测试。

2. 当 $f_{HCLK} > 48\text{ MHz}$ 时启用 PLL。

表 5-9 SRAM 下运行 (Run) 模式电流

符号	条件				系统时钟	频率 $f_{HCLK}^{(2)}$	典型值 ⁽¹⁾			单位
	Code	运行	外设	电压模式			$T_A = 25\text{ }^{\circ}\text{C}$	$T_A = 85\text{ }^{\circ}\text{C}$	$T_A = 105\text{ }^{\circ}\text{C}$	
I _{VCC}	While(1)	SRAM	所有外设时钟使能	Range 1 MR_VSEL = 2'b00	PLL	128 MHz	15.6	20.4	20.7	mA
					PLL	96 MHz	11.9	15.6	15.8	
					PLL	64 MHz	8.1	10.7	10.9	
					HSI	48 MHz	6.1	8.2	8.4	
					HSI	24 MHz	3.4	4.6	4.8	
					HSI	16 MHz	2.5	3.4	3.6	
					HSI	8 MHz	1.5	2.2	2.4	
				Range 2 MR_VSEL = 2'b10	PLL	96 MHz	11.4	15.0	15.2	
					PLL	64 MHz	7.8	10.3	10.4	
					HSI	48 MHz	5.9	7.8	8.0	
					HSI	24 MHz	3.2	4.4	4.6	
					HSI	16 MHz	2.4	3.3	3.5	
					HSI	8 MHz	1.4	2.1	2.3	
				Range 3 MR_VSEL = 2'b01	PLL	64 MHz	7.5	9.9	10.0	
					HSI	48 MHz	5.7	7.5	7.7	
					HSI	24 MHz	3.1	4.2	4.4	
					HSI	16 MHz	2.3	3.2	3.3	
					HSI	8 MHz	1.4	2.0	2.2	
			所有外设时钟禁止	Range 1 MR_VSEL = 2'b00	PLL	128 MHz	9.1	12.0	12.2	
					PLL	96 MHz	7.0	9.3	9.5	
					PLL	64 MHz	4.8	6.5	6.6	
					HSI	48 MHz	3.7	5.0	5.2	
					HSI	24 MHz	2.2	3.0	3.2	

符号	条件				系统时钟	频率 $f_{HCLK}^{(2)}$	典型值 ⁽¹⁾			单位
	Code	运行	外设	电压模式			$T_A = 25\text{ }^{\circ}\text{C}$	$T_A = 85\text{ }^{\circ}\text{C}$	$T_A = 105\text{ }^{\circ}\text{C}$	
					HSI	16 MHz	1.6	2.4	2.6	
					HSI	8 MHz	1.1	1.6	1.9	
				Range 2 $MR_VSEL = 2'b10$	PLL	96 MHz	6.8	9.0	9.1	
					PLL	64 MHz	4.7	6.2	6.4	
					HSI	48 MHz	3.5	4.8	5.0	
					HSI	24 MHz	2.1	2.9	3.1	
					HSI	16 MHz	1.6	2.3	2.5	
					HSI	8 MHz	1.1	1.6	1.8	
				Range 3 $MR_VSEL = 2'b01$	PLL	64 MHz	4.5	6.0	6.1	
					HSI	48 MHz	3.4	4.6	4.8	
					HSI	24 MHz	2.0	2.8	3.0	
					HSI	16 MHz	1.5	2.2	2.4	
					HSI	8 MHz	1.0	1.5	1.7	

1. 数据基于考核结果，不在生产中测试。

2. 当 $f_{HCLK} > 48\text{ MHz}$ 时启用 PLL。

表 5-10 睡眠 (Sleep) 模式电流

符号	条件				系统时钟	频率 $f_{HCLK}^{(2)}$	典型值 ⁽¹⁾			单位
	Code	运行	外设	电压模式			$T_A = 25\text{ }^{\circ}\text{C}$	$T_A = 85\text{ }^{\circ}\text{C}$	$T_A = 105\text{ }^{\circ}\text{C}$	
I _{VCC}	While(1)	Flash	所有外设时钟使能	Range 1 MR_VSEL = 2'b00	PLL	128 MHz	10.1	13.3	13.5	mA
					PLL	96 MHz	7.8	10.3	10.4	
					PLL	64 MHz	5.3	7.1	7.3	
					HSI	48 MHz	4.1	5.5	5.7	
					HSI	24 MHz	2.3	3.3	3.5	
					HSI	16 MHz	1.8	2.1	2.7	
					HSI	8 MHz	1.2	1.7	1.9	
				Range 2 MR_VSEL = 2'b10	PLL	96 MHz	7.5	9.9	10.0	
					PLL	64 MHz	5.1	6.8	7.0	
					HSI	48 MHz	3.9	5.3	5.5	
					HSI	24 MHz	2.3	3.1	3.3	
					HSI	16 MHz	1.7	2.0	2.6	
					HSI	8 MHz	1.1	1.6	1.9	
				Range 3 MR_VSEL = 2'b01	PLL	64 MHz	4.9	6.6	6.7	
					HSI	48 MHz	3.8	5.1	5.2	
					HSI	24 MHz	2.2	3.0	3.2	
					HSI	16 MHz	1.6	1.9	2.5	
					HSI	8 MHz	1.1	1.6	1.8	
			所有外设时钟禁止	Range 1 MR_VSEL = 2'b00	PLL	128 MHz	3.4	4.6	4.8	
					PLL	96 MHz	2.7	3.7	3.9	
					PLL	64 MHz	2.0	2.7	2.9	
					HSI	48 MHz	1.5	2.2	2.4	

符号	条件				系统时钟	频率 f _{HCLK} ⁽²⁾	典型值 ⁽¹⁾			单位
	Code	运行	外设	电压模式			T _A = 25 °C	T _A = 85 °C	T _A = 105 °C	
					HSI	24 MHz	1.1	1.6	1.8	
					HSI	16 MHz	0.92	1.4	1.6	
					HSI	8 MHz	0.72	1.2	1.3	
				Range 2 MR_VSEL = 2'b10	PLL	96 MHz	2.7	3.6	3.7	
					PLL	64 MHz	1.9	2.6	2.8	
					HSI	48 MHz	1.5	2.1	2.3	
					HSI	24 MHz	1.0	1.5	1.7	
					HSI	16 MHz	0.89	1.3	1.5	
					HSI	8 MHz	0.70	1.1	1.2	
				Range 3 MR_VSEL = 2'b01	PLL	64 MHz	1.9	2.5	2.7	
					HSI	48 MHz	1.4	2.0	2.2	
					HSI	24 MHz	1.0	1.5	1.6	
					HSI	16 MHz	0.87	1.3	1.5	
					HSI	8 MHz	0.68	1.1	1.2	

1. 数据基于考核结果，不在生产中测试。
2. 当 f_{HCLK} > 48 MHz 时启用 PLL。

表 5-11 Flash 下低功耗运行（Low-power run）模式电流，ACC 使能

符号	参数	条件				系统时钟	频率 f _{HCLK} ⁽²⁾	典型值 ⁽¹⁾			单位
		Code	运行	MR/LPR/DLPR	外设			T _A = 25 °C	T _A = 85 °C	T _A = 105 °C	
I _{VCC}	LP_RUN 模式下供电电流	While(1)	Flash	LPR	所有外设时钟使能	HSI	2 MHz	0.60	0.94	1.09	mA
						HSI	1 MHz	0.52	0.83	0.99	
						HSI	62.5 kHz	0.44	0.73	0.89	
					所有外设时钟禁止	HSI	2 MHz	0.51	0.82	0.97	
						HSI	1 MHz	0.46	0.76	0.91	
						HSI	62.5 kHz	0.42	0.70	0.86	

1. 数据基于考核结果，不在生产中测试。

表 5-12 Flash 下低功耗运行（Low-power run）模式电流，ACC 不使能

符号	参数	条件				系统时钟	频率 f _{HCLK} ⁽²⁾	典型值 ⁽¹⁾			单位
		Code	运行	MR/LPR/DLPR	外设			T _A = 25 °C	T _A = 85 °C	T _A = 105 °C	
I _{VCC}	LP_RUN 模式下供电电流	While(1)	Flash	LPR	所有外设时钟使能	HSI	2 MHz	0.59	0.93	1.09	mA
						HSI	1 MHz	0.51	0.83	0.98	
						HSI	62.5 kHz	0.44	0.73	0.89	
					所有外设时钟禁止	HSI	2 MHz	0.51	0.81	0.97	
						HSI	1 MHz	0.46	0.75	0.91	
						HSI	62.5 kHz	0.42	0.73	0.86	

1. 数据基于考核结果，不在生产中测试。

表 5-13 SRAM 下低功耗运行（Low-power run）模式电流

符号	参数	条件				系统时钟	频率 f _{HCLK} ⁽²⁾	典型值 ⁽¹⁾			单位
		Code	运行	MR/LPR/DLPR	外设			T _A = 25 °C	T _A = 85 °C	T _A = 105 °C	
I _{VCC}	LP_RUN 模式下供电电流	While(1)	SRAM	LPR	所有外设时钟使能	HSI	2 MHz	0.60	0.85	1.10	mA
						HSI	1 MHz	0.51	0.78	0.99	
						HSI	62.5 kHz	0.44	0.72	0.59	
					所有外设时钟禁止	HSI	2 MHz	0.51	0.69	0.97	
						HSI	1 MHz	0.46	0.68	0.91	
						HSI	62.5 kHz	0.42	0.67	0.86	

1. 数据基于考核结果，不在生产中测试。

表 5-14 低功耗睡眠（Low-power sleep）模式电流

符号	参数	条件			系统时钟	频率 f _{HCLK} ⁽²⁾	典型值 ⁽¹⁾			单位
		Code	MR/LPR/DLPR	外设			T _A = 25 °C	T _A = 85 °C	T _A = 105 °C	
I _{VCC}	LP_SLEEP 模式下供电电流	While(1)	LPR	所有外设时钟使能	HSI	2 MHz	0.53	0.85	1.00	mA
					HSI	1 MHz	0.48	0.78	0.94	
					HSI	62.5 kHz	0.43	0.72	0.88	
				所有外设时钟禁止	HSI	2 MHz	0.43	0.69	0.83	
					HSI	1 MHz	0.42	0.68	0.82	
					HSI	62.5 kHz	0.41	0.67	0.80	

1. 数据基于考核结果，不在生产中测试。

表 5-15 停机（Stop0/Stop1/Stop2）模式电流

符号	参数	MR/LPR/DLPR	条件	典型值 ⁽¹⁾			单位
				T _A = 25 °C	T _A = 85 °C	T _A = 105 °C	
I _{VCC}	Stop0 模式供电电流	MR	RTC+IWDG+LPTIM with LSI	345	575	705	μA
			IWDG with LSI	345	575	705	
			LPTIM with LSI	345	575	705	
			RTC with LSI	345	575	705	
			外设关闭	345	575	705	
	Stop1 模式供电电流	LPR	RTC+IWDG+LPTIM with LSI	135	300	430	
			IWDG with LSI	135	300	430	
			LPTIM with LSI	135	300	430	
			RTC with LSI	135	300	430	
			外设关闭	135	300	430	
	Stop2 模式供电电流	DLPR	RTC+IWDG with LSI	15	95	170	
			IWDG with LSI	15	95	170	
			RTC+LSI	15	95	170	
			外设关闭	15	95	170	

1. 数据基于考核结果，不在生产中测试。

5.3.5. 低功耗模式唤醒时间

表 5-16 低功耗模式唤醒时间

符号	参数 ⁽¹⁾	供电模式 ⁽²⁾	条件	典型值 ⁽³⁾	最大值	单位
t _{WUSLEEP}	Sleep 唤醒后进入 Run 的时间	-	-	5	6	CPU cycles
t _{WULPSLEEP}	Low-power sleep 唤醒后进入 Low-power run 的时间	-	-	17	18	
t _{WUSTOP}	Stop0 唤醒后进入 Run 时间	MR 供电	Flash 中执行程序, HSI (8 MHz) 作为系统时钟	7.0	7.5	μs
			SRAM 中执行程序, HSI (8 MHz) 作为系统时钟	4.5	5.5	
	Stop1 唤醒后进入 Run 时间	LPR 供电	Flash 中执行程序, HSI (8 MHz) 作为系统时钟	11.5	12.5	
			SRAM 中执行程序, HSI (8 MHz) 作为系统时钟	8.5	9.5	
	Stop2 唤醒后进入 Run 时间	DLPR 供电	Flash 中执行程序, HSI (8 MHz) 作为系统时钟	21.5	22.5	
			SRAM 中执行程序, HSI (8 MHz) 作为系统时钟	19.0	24.0	
	Stop1 唤醒后进入 Low-power run 时间	LPR 供电	Flash 中执行程序, HSI (8 MHz) 作为系统时钟源, HCLK 为 2 M	11.5	12.5	
			SRAM 中执行程序, HSI (8 MHz) 作为系统时钟源, HCLK 为 2 M	9.0	10.0	
	Stop2 唤醒后进入 Low-power run 时间	DLPR 供电	Flash 中执行程序, HSI (8 MHz) 作为系统时钟, HCLK 为 2 M	17.5	18.5	
			SRAM 中执行程序, HSI (8 MHz) 作为系统时钟源, HCLK 为 2 M	17.0	22.0	

- 1. 唤醒时间的测量是从唤醒时间开始至用户程序读取第一条指令。
- 2. 数据基于考核结果, 不在生产中测试。
- 3. 测试数据基于 HSI 8 M 条件。

表 5-17 调节器模式转换时间⁽¹⁾

符号	参数	条件	典型值	最大值	单位
t _{VOST}	从 Range 3 切换至 Range 2 的调节器过渡时间	-	5	7	μs
	从 Range 3 切换至 Range 1 的调节器过渡时间	-	5	7	
	从 Range 2 切换至 Range 1 的调节器过渡时间	-	5	7	

- 1. 由设计保证, 不在生产中测试。

5.3.6. 外部时钟源特性

5.3.6.1. 外部高速时钟

在 HSE 的 bypass 模式（RCC_CR 的 HSEBYP 置位），芯片内的高速起振电路停止工作，相应的 IO 作为标准的 GPIO 使用。

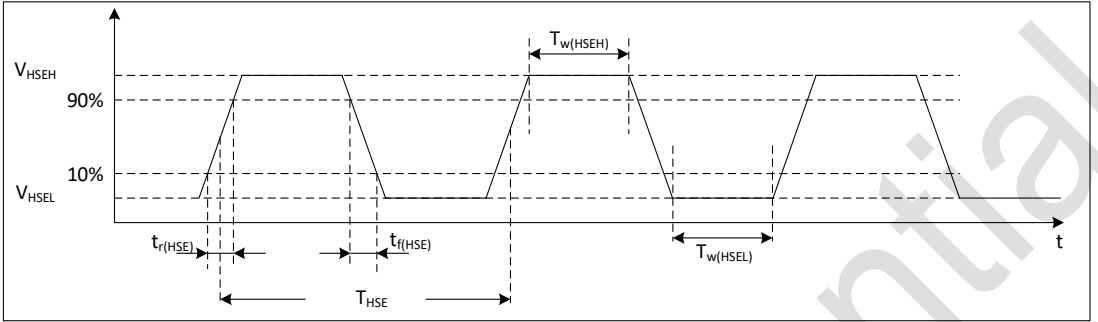


图 5-2 外部高速时钟时序图

表 5-18 外部高速时钟特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{HSE_ext}	用户外部时钟频率 ⁽¹⁾		1	-	32	MHz
V_{HSEH}	OSC_IN 输入引脚高电平电压	-	$0.7 \cdot V_{CC}$	-	V_{CC}	V
V_{HSEL}	OSC_IN 输入引脚低电平电压		V_{SS}	-	$0.3 \cdot V_{CC}$	
$t_w(HSE)$	OSC_IN 输入引脚高电平低电平时间 ⁽¹⁾		5	-	-	ns
$t_r(HSE) / t_f(HSE)$	OSC_IN 输入引脚上升或下降时间 ⁽¹⁾		-	-	20	
$C_{in}(HSE)$	OSC_IN 输入引脚电容 ⁽¹⁾	-	-	5	-	pF
$DuCy(HSE)$	占空比	-	45	-	55	%
I_L	OSC_IN 输入引脚漏电流	$V_{SS} \leq V_{IN} \leq V_{CC}$	-	-	± 1	μA

1. 由设计保证，不在生产中测试。

5.3.6.2. 外部低速时钟

在 LSE 的 bypass 模式（RCC_BDCR 的 LSEBYP 置位），芯片内的低速起振电路停止工作，相应的 IO 作为标准的 GPIO 使用。

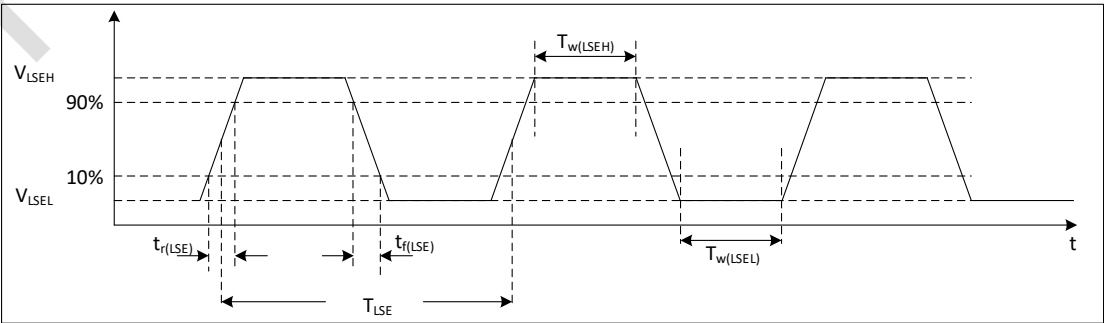


图 5-3 外部低速时钟时序图

表 5-19 外部低速时钟特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{LSE_ext}	用户外部时钟频率 ⁽¹⁾	-	-	32.768	1000	kHz
V_{LSEH}	OSC32_IN 输入引脚高电平电压		$0.7 \cdot V_{CC}$	-	V_{CC}	V
V_{LSEL}	OSC32_IN 输入引脚低电平电压		V_{SS}	-	$0.3 \cdot V_{CC}$	
$t_{w(LSE)}$	OSC32_IN 输入引脚高电平低电平时间		450	-	-	ns
$t_{r(LSE)} / t_{f(LSE)}$	OSC32_IN 输入引脚上升或下降时间		-	-	50	
$C_{in(LSE)}$	OSC32_IN 输入引脚电容	-	-	5	-	pF
$DuCy_{(LSE)}$	占空比	-	40	-	60	%
I_L	OSC32_IN 输入引脚漏电流	$V_{SS} \leq V_{IN} \leq V_{CC}$	-	-	± 1	μA

1. 由设计保证，不在生产中测试。

5.3.6.3. 外部高速晶体

可以通过外接 4 ~ 32 MHz 的晶体/陶瓷谐振器。在应用中，晶体和负载电容应该尽可能靠近管脚，这样可以使输出变形和启动稳定时间最小化。

表 5-20 外部高速晶体特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
f_{OSC_IN}	振荡器频率	-	4	-	32	MHz
R_F	反馈电阻	-	-	385	-	k Ω
I_{CC}	HSE 功耗	$C_L=12\text{ pF}@4\text{ MHz}$, $R_m=100\text{ }\Omega$, $HSE_DRV[1:0]=00$	-	0.45	-	mA
		$C_L=12\text{ pF}@8\text{ MHz}$, $R_m=150\text{ }\Omega$, $HSE_DRV[1:0]=00$	-	0.47	-	
		$C_L=12\text{ pF}@16\text{ MHz}$, $R_m=70\text{ }\Omega$, $HSE_DRV[1:0]=01$	-	0.83	-	
		$C_L=20\text{ pF}@24\text{ MHz}$, $R_m=70\text{ }\Omega$, $HSE_DRV[1:0]=10$	-	1.56	-	
		$C_L=10\text{ pF}@32\text{ MHz}$, $R_m=40\text{ }\Omega$, $HSE_DRV[1:0]=10$	-	1.62	-	
g_m	振荡器跨导	启动	$HSE_DRV[1:0]=00$	3.5	-	mA/V
			$HSE_DRV[1:0]=01$	5	-	
			$HSE_DRV[1:0]=10$	7.5	-	
			$HSE_DRV[1:0]=11$	10	-	
$t_{SU(HSE)}^{(2)}$	启动时间	HSE_EN 到第一个占空比稳定的时钟的上升沿	$C_L=12\text{ pF}@4\text{ MHz}$, $R_m=100\text{ }\Omega$, $HSE_DRV[1:0]=00$	-	1.4	ms
			$C_L=12\text{ pF}@8\text{ MHz}$, $R_m=150\text{ }\Omega$, $HSE_DRV[1:0]=00$	-	2.27	
			$C_L=12\text{ pF}@16\text{ MHz}$, $R_m=70\text{ }\Omega$, $HSE_DRV[1:0]=01$	-	0.28	
			$C_L=20\text{ pF}@24\text{ MHz}$, $R_m=70\text{ }\Omega$, $HSE_DRV[1:0]=10$	-	0.68	
			$C_L=10\text{ pF}@32\text{ MHz}$, $R_m=40\text{ }\Omega$, $HSE_DRV[1:0]=10$	-	0.24	

1. 由特性评估给出，不在生产中测试。

2. $t_{SU(HSE)}$ 是从启用（通过软件）到时钟振荡达到稳定的启动时间，针对标准晶体/谐振器测量的，不同晶体/谐振器可能会有很大差异。

5.3.6.4. 外部低速晶体

可以通过外接 32.768 kHz 的晶体/陶瓷谐振器。在应用中，晶体和负载电容应该尽可能靠近管脚，这样可以使输出变形和启动稳定时间最小化。

表 5-21 外部低速晶体特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
RF	反馈电阻	-	-	5	-	MΩ
I _{CC}	LSE 功耗	C _L =6 pF, R _m =70 Ω, LSE_DRV[1:0]=00	-	600	-	nA
		C _L =6 pF, R _m =70 Ω, LSE_DRV[1:0]=01	-	700	-	
		C _L =12 pF, R _m =50 Ω, LSE_DRV[1:0]=10	-	1000	-	
		C _L =12 pF, R _m =50 Ω, LSE_DRV[1:0]=11	-	1500	-	
g _m	振荡器跨导	LSE_DRV[1:0]=00	2.5	-	-	μA/V
		LSE_DRV[1:0]=01	3.75	-	-	
		LSE_DRV[1:0]=10	8.5	-	-	
		LSE_DRV[1:0]=11	3.5	-	-	
t _{SU(LSE)} ⁽²⁾	启动时间	C _L =6 pF, R _m =70 Ω, LSE_DRV[1:0]=00	-	1.10	-	s
		C _L =6 pF, R _m =70 Ω, LSE_DRV[1:0]=01	-	0.80	-	
		C _L =12 pF, R _m =50 Ω, LSE_DRV[1:0]=10	-	0.91	-	
		C _L =12 pF, R _m =50 Ω, LSE_DRV[1:0]=11	-	0.50	-	

1. 由设计保证，不在生产中测试。
2. t_{SU(LSE)}是从启用（通过软件）到时钟振荡达到稳定的启动时间，针对标准晶体/谐振器测量的，不同晶体/谐振器可能会有很大差异。

5.3.7. 内部高频时钟源 HSI 特性

表 5-22 内部高频时钟源特性

符号	参数	条件	最小值	典型值	最大值	单位
f _{HSI}	HSI 频率	V _{CC} = 3.3 V, T _A = 25 °C	-	8.0	-	MHz
			-	16.0	-	
			-	24.0	-	
			-	48.0	-	
DuCy _(HSI)	占空比	-	45	-	55	%
f _{TRIM} ⁽¹⁾	HSI 微调精度	-	-	0.4	-	%
ΔTemp _(HSI)	HSI 频率温度漂移	V _{CC} = 2.0 ~ 3.6 V, T _A = 25 °C	-1	-	1	%
		V _{CC} = 2.0 ~ 3.6 V, T _A = -20 ~ 85 °C	-2	-	2	
		V _{CC} = 2.0 ~ 3.6 V, T _A = -40 ~ 105 °C	-4	-	4	
t _{SU(HSI)} ⁽²⁾	HSI 振荡器启动时间	8 MHz	-	1.5	-	μs
		16 MHz	-	0.7	-	
		24 MHz	-	0.7	-	
		48 MHz	-	0.7	-	
I _{CC(HSI)} ⁽²⁾	HSI 振荡器功耗	8 MHz	-	130	-	μA
		16 MHz	-	180	-	
		24 MHz	-	230	-	
		48 MHz	-	280	-	

1. 由设计保证，不在生产中测试。
2. 数据基于考核结果，不在生产中测试。

5.3.8. 内部低频时钟源 LSI 特性

表 5-23 内部低频时钟特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{LSI}	频率	-	-	40	-	kHz
$t_{su(LSI)}^{(1)}$	LSI 振荡器启动时间	-	-	75	89.5	μs
$DuCy_{(LSI)}$	占空比	-	45	-	55	%
$\Delta Temp_{(LSI)}$	LSI 频率温度漂移	$V_{CC} = 3.3 V, T_A = 25 ^\circ C$	-4	-	4	%
		$V_{CC} = 2.0 \sim 3.6 V,$ $T_A = -20 \sim 85 ^\circ C$	-12	-	12	
		$V_{CC} = 2.0 \sim 3.6 V,$ $T_A = -40 \sim 105 ^\circ C$	-20	-	20	
$I_{CC(LSI)}^{(1)}$	LSI 振荡器功耗	-	-	0.3	-	μA

1. 由设计保证，不在生产中测试。

5.3.9. 锁相环 PLL 特性

表 5-24 锁相环特性

符号	参数	最小值	典型值	最大值 ⁽¹⁾	单位
f_{PLL_IN}	PLL 输入时钟	8	-	48	MHz
	PLL 输入时钟占空比	40	-	60	%
$f_{PLL_OUT}^{(2)}$	PLL 倍频输出时钟	48	128	144	MHz
t_{LOCK}	PLL 锁相时间	-	25	50	μs
Jitter	抖动	-	300	-	ps

1. 由设计保证，不在生产中测试。
2. $f_{PLL_OUT} < 96 MHz$ ，需先倍频到 96 MHz 以上，再分频输出。

5.3.10. 存储器特性

表 5-25 存储器特性

符号	参数	条件	最小值	典型值	最大值 ⁽¹⁾	单位
PE_{CYC}	擦写次数	$T_A = -40 \sim 85 ^\circ C$	100	-	-	kcycles
t_{RET}	数据保持时间	$T_A = 55 ^\circ C$ ，1000 次擦写后	20	-	-	years
		$T_A = 85 ^\circ C$ ，1000 次擦写后	15	-	-	
		$T_A = 105 ^\circ C$ ，1000 次擦写后	10	-	-	
		$T_A = 55 ^\circ C$ ，10000 次擦写后	10	-	-	
t_{PROG}	页编程时间	$T_A = -40 \sim 105 ^\circ C$	-	1.5	-	ms
t_{ERASE}	页擦除时间	$T_A = -40 \sim 105 ^\circ C$	-	7	-	ms
t_{MERASE}	全片擦除时间	$T_A = -40 \sim 105 ^\circ C$	-	7	-	ms

1. 由设计保证，不在生产中测试。

5.3.11. EFT 特性

表 5-26 EFT 特性

符号	参数	条件	等级
EFT to Power	-	IEC61000-4-4	4A

5.3.12. ESD & LU 特性

基于三个不同的测试（ESD、LU），使用特定的测量方法，对芯片施加应力测试以决定它的电气敏感性方面的性能。

表 5-27 ESD 特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{ESD(HBM)}$	静电放电电压（人体模型）	$T_A=25\text{ }^{\circ}\text{C}$ ；JESD22- A114	-	-	2000	V
$V_{ESD(CDM)}$	静电放电电压（器件充电模型）	$T_A=25\text{ }^{\circ}\text{C}$ ；JESD22-C101	-	-	1000	V
LU	过电流测试	$T_A=25\text{ }^{\circ}\text{C}$ ；JESD78A	-	-	± 200	mA
	过压测试		-	-	5.4	V

5.3.13. I/O 电流注入特性

作为一般规则，在正常产品操作期间，应避免由于外部电压低于 V_{SS} 或高于 V_{CC} （对于标准，3.3 V I/O 引脚）而向 I/O 引脚注入电流。然而，为了在异常注入意外发生的情况下给出微控制器的鲁棒性的指示，在器件特性测试时会做抽样测试。

对 I/O 电流注入的功能敏感性

当在设备上执行简单的应用程序时，通过将电流注入配置成输入浮空模式的 I/O 引脚来对设备施加压力。当电流注入 I/O 引脚时（每次只注入一个），检查器件是否发生功能故障。

故障由超出范围的参数表示：ADC 错误高于某个限制（> 5 LSB TUE）、相邻引脚上的电流注入超出规范或其他功能故障（例如复位、振荡器频率偏差）。

表 5-28 I/O 电流注入敏感性

符号	描述	功能敏感性		单位
		负电流注入	正电流注入	
I_{INJ}	在所有 5 V-tolerant 引脚上的注入电流	-5	0	mA
	在所有其他引脚上的注入电流	-5	5	

5.3.14. 端口特性

表 5-29 端口特性

符号	参数	条件		最小值	典型值	最大值	单位
V _{IL}	输入低电平	TT、TT_a	2.0 V≤V _{CC} ≤ 3.6 V	-	-	0.39 V _{CC} -0.06	V
		FT	2.0 V≤V _{CC} ≤ 3.6 V	-	-	0.35 V _{CC} -0.06	
V _{IH}	输入高电平	TT、TT_a	2.0 V≤V _{CC} ≤ 3.6 V	0.49*V _{CC} +0.26	-	-	V
		FT	2.0 V≤V _{CC} ≤ 3.6 V	0.53*V _{CC} +0.26	-	-	
V _{hys} ⁽¹⁾	施密特电压迟滞	TT、TT_a	-	-	200	-	mV
		FT		-	5% V _{CC}	-	
V _{Ikg} ⁽²⁾	输入漏电流	TT、TT_a	V _{SS} ≤V _{IN} ≤V _{CCD}	-	-	±100	nA
		FT	0<V _{IN} ≤V _{CCD}	-	-	±100	
			V _{CCD} <V _{IN} ≤V _{CCD} +1V	-	-	2000	
			V _{CCD} +1<V _{IN} ≤5.5V	-	-	±200	
R _{PU} ⁽³⁾	内部上拉电阻	V _{IN} =V _{SS}		30	40	50	kΩ
R _{PD} ⁽³⁾	内部下拉电阻	V _{IN} =V _{CC}		30	40	50	kΩ
C _{IO}	I/O 引脚电容	-		-	5	-	pF
t _{ns(EXTI)} ⁽¹⁾	输入滤波宽度	ENI=1, ENS=1		3	5	10	ns
t _{ns(I2C)} ⁽¹⁾	I ² C 输入滤波宽度	ENI=1, EIIC=1		50	140	250	ns
t _{ns(NRST)} ⁽¹⁾	NRST 输入滤波宽度	ENI=1, ENS=1		100	180	300	ns

- 1. 由设计保证，不在生产中测试。
- 2. 如果在相邻引脚有反向电流倒灌，则漏电流可能高于最大值。
- 3. 上拉和下拉电阻是设计为一个真正的电阻串联一个可开关的 PMOS/NMOS 实现。

输出驱动电流

GPIO(通用输入/输出端口) 可以吸收或输出多达 ±8 mA 电流，也可以吸收或输出多达 ±20 mA 电流（需放宽 V_{OL}/V_{OH} 指标）。

在用户应用中，I/O 脚的数目必须保证驱动电流不能超过绝对最大额定值给出的绝对最大额定值：

- 所有 I/O 端口从 V_{CC} 上获取的电流总和，加上 MCU 在 V_{CC} 上获取的最大运行电流，不能超过**绝对最大额定值** ΣI_{VCC}。
- 所有 I/O 端口吸收并从 V_{SS} 上流出的电流总和，加上 MCU 在 V_{SS} 上流出的最大运行电流，不能超过**绝对最大额定值** ΣI_{VSS}。

输出电压

除非特别说明，下表列出的参数都是在通用工作条件 T_A 使用环境温度和 V_{CC} 电源电压条件下进行的测试得到。

表 5-30 输出电压特性⁽³⁾

符号	参数	条件 ⁽²⁾	最小值 ⁽¹⁾	典型值	最大值 ⁽¹⁾	单位
V _{OL}	输出低电平	2.7 V ≤ V _{CC} ≤ 3.6 V, I _{IO} = +20 mA (最多允许 6 个引脚同时吸收电流)	-	-	1.3	V
	输出低电平	2.7 V ≤ V _{CC} ≤ 3.6 V, I _{IO} = +8 mA (最多允许 8 个引脚同时吸收电流)	-	-	0.4	
		2.0 V ≤ V _{CC} ≤ 2.7 V, I _{IO} = +6 mA (最多允许 8 个引脚同时吸收电流)	-	-	0.4	
V _{OH}	输出高电平	2.7 V ≤ V _{CC} ≤ 3.6 V, I _{IO} = +20 mA (最多允许 6 个引脚同时输出电流)	V _{CC} -1.3	-	-	V
	输出高电平	2.7 V ≤ V _{CC} ≤ 3.6 V, I _{IO} = +8 mA (最多允许 8 个引脚同时输出电流)	V _{CC} -0.4	-	-	
		2.0 V ≤ V _{CC} ≤ 2.7 V, I _{IO} = +6 mA (最多允许 8 个引脚同时输出电流)	V _{CC} -0.4	-	-	

1. 数据基于考核结果, 不在生产中测试。
2. 所有 IO 驱动测试条件皆为 GPIOx_OSPEEDR=11。
3. 对于所有输出的组合, 最大总电流 (包括 V_{OL} 或 V_{OH} 产生的电流总和) 不应超过表 5-2 电流特性中的最大额定值参数 $\Sigma I_{IO(PIN)}$ 。

5.3.15. ADC 特性

表 5-31 ADC 特性

符号	参数	条件	最小值	典型值	最大值	单位
V _{CCA}	模拟供电电压	-	2.0	-	3.6	V
V _{REF+}	正参考电压	V _{REF+} = V _{CCA}	V _{CCA}			V
		V _{REF+} = V _{REFBUF}	-	1.024	-	V
			-	1.5	-	
			-	2.048	-	
			-	2.5	-	
V _{REF-}	负参考电压	-	V _{SSA}			V
		-	V _{SSA}			V
I _{CCA}	V _{CCA} 引脚电流	f _{ADC} = 16 MHz	-	1 ⁽¹⁾	-	mA
		f _{ADC} = 32 MHz	-	1 ⁽¹⁾	-	
		f _{ADC} = 48 MHz	-	1 ⁽¹⁾	-	
f _{ADC}	ADC 时钟频率	2.0 V ≤ V _{CCA} ≤ 3.6 V	8	-	16	MHz
		2.4 V ≤ V _{CCA} ≤ 3.6 V	8	-	32	
		3.0 V ≤ V _{CCA} ≤ 3.6 V	8	-	48	
f _S ⁽²⁾	采样速率	V _{CCA} ≥ 2.0 V	0.5	-	1	MSPS
		V _{CCA} ≥ 2.4 V	0.5	-	2	
		V _{CCA} ≥ 3.0 V	0.5	-	3	
V _{AIN}	转换电压范围	单端模式	0	-	V _{REF+}	V
		差分模式	-V _{REF+}	-	V _{REF+}	
R _{AIN} ⁽²⁾	外部输入阻抗 ⁽³⁾	-	-	-	100	kΩ
R _{ADC} ⁽²⁾	采样开关电阻	-	-	-	1.2	kΩ

符号	参数	条件	最小值	典型值	最大值	单位
C _{ADC} ⁽²⁾	内部采样和保持电阻	-	-	2.5	3	pF
t _{CAL} ⁽²⁾	校准时间	f _{ADC} = 16 MHz	12			μs
		-	192			1/f _{ADC}
t _S ⁽²⁾	采样时间	f _{ADC} = 16 MHz	0.156	-	40.03	μs
		-	2.5	-	640.5	1/f _{ADC}
t _{samp_setup}	采样建立时间 (内部通道)	-	20	-	-	μs
t _{STAB} ⁽²⁾	上电稳定时间	-	0	0	3	μs
t _{CONV} ⁽²⁾	总转换时间	f _{ADC} = 16 MHz	1	-	40.875	μs
		-	16 ~ 654			1/f _{ADC}

1. 由设计保证, 不在生产中测试。
2. 数据基于考核结果, 不在生产中测试。
3. 在外部触发时, 需要额外增加 1/f_{PCLK2} 的延迟。

a)
$$R_{AIN} < \frac{T_S}{f_{ADC} \times C_{ADC} \times \ln(2^{N+2})} - R_{ADC}$$

- b) 上述公式用于决定最大外部阻抗, 使得误差可以小于 1/4 LSB。其中 N = 12, 表示 12 位分辨率。

表 5-32 R_{AIN} Max for f_{ADC} = 48 MHz⁽¹⁾

采样周期(T _S)	采样时间 (t _S)	R _{AIN} 最大值 (Ω)	
		快速通道	慢速通道
2.5	39.06	100	N/A
6.5	101.56	330	100
12.5	195.31	680	470
24.5	382.81	1500	1200
47.5	742.19	2200	1800
92.5	1445.31	4700	3900
247.5	3867.19	12000	10000
640.5	10007.81	39000	33000

1. 由设计保证, 不在生产中测试。

表 5-33 ADC 静态特性⁽¹⁾⁽²⁾⁽³⁾

符号	参数	测试条件		最小值	典型值	最大值	单位
ET	综合误差	2.0 V ≤ V _{REF+} = V _{CCA} ≤ 3.6 V 12 位分辨率 f _{ADC} ≤ 48 MHz	单端模式	-	±3.0	±5.0	LSB
			差分模式	-	±4.0	±5.5	
EO	偏移误差		单端模式	-	±2.0	±3.0	
			差分模式	-	±1.5	±2.0	
EG	增益误差		单端模式	-	±1.5	±3.5	
			差分模式	-	±2.5	±3.0	
ED	微分线性误差		单端模式	-	±0.8	±1.2	
			差分模式	-	±0.9	±1.2	
EL	积分线性误差		单端模式	-	±2.0	±3.5	
			差分模式	-	±2.0	±3.5	

1. 由设计保证, 不在生产中测试。
2. ADC DC 测试之前先做校准。

3. ADC 精度与反向注入电流关系：需要避免在任何标准的模拟输入引脚上注入反向电流，因为这样会显著地降低另一个模拟输入引脚上正在进行的转换精度。建议在可能产生反向注入电流的标准模拟引脚上，（引脚与地之间）增加一个肖特基二极管。

表 5-34 ADC 静态特性⁽¹⁾⁽²⁾⁽³⁾

符号	参数	测试条件		最小值	典型值	最大值	单位	
ET	综合误差	$V_{CCA} = 2.0 \sim 3.6 \text{ V}$ $V_{REF+} = V_{REFBUF}$ 12 位分辨率 $f_{ADC} \leq 32 \text{ MHz}$	单端模式	-	± 4.0	± 7.5	LSB	
			差分模式	-	± 3.0	± 3.5		
EO	偏移误差		单端模式	-	± 1.5	± 2.5		
			差分模式	-	± 1.5	± 3.0		
EG	增益误差		单端模式	-	± 1.5	± 7.0		
			差分模式	-	± 2.0	± 3.5		
ED	微分线性误差		单端模式	-	± 1.0	± 1.3		
			差分模式	-	-0.8~1.1	± 1.2		
EL	积分线性误差		单端模式	-	± 2.5	± 4.0		
			差分模式	-	± 2.0	± 3.0		

1. 由设计保证，不在生产中测试。
2. ADC DC 测试之前先做校准。
3. ADC 精度与反向注入电流关系：需要避免在任何标准的模拟输入引脚上注入反向电流，因为这样会显著地降低另一个模拟输入引脚上正在进行的转换精度。建议在可能产生反向注入电流的标准模拟引脚上，（引脚与地之间）增加一个肖特基二极管。

表 5-35 ADC 动态特性⁽¹⁾⁽²⁾⁽³⁾

符号	参数	测试条件		最小值	典型值	最大值	单位
ENOB	有效位数	$V_{REF+} = V_{CCA} = 3.3\text{ V}$ $f_{ADC} \leq 48\text{ MHz}$ 12 位分辨率	单端模式	10.1	11.2	-	bit
			差分模式	10.6	11.5	-	
SINAD	信噪失真比		单端模式	62.4	69.1	-	dB
			差分模式	65.7	71.1	-	
SNR	信噪比		单端模式	65.5	70.1	-	
			差分模式	68.2	71.2	-	
SFDR	无杂散动态范围		单端模式	66.6	76.3	-	
			差分模式	70.7	81.8	-	
THD	总谐波失真		单端模式	-65.3	-75.7	-	
			差分模式	-69.2	-79.2	-	

1. 由设计保证，不在生产中测试。
2. ADC DC 测试之前先做校准。
3. ADC 精度与反向注入电流关系：需要避免在任何标准的模拟输入引脚上注入反向电流，因为这样会显著地降低另一个模拟输入引脚上正在进行的转换精度。建议在可能产生反向注入电流的标准模拟引脚上，（引脚与地之间）增加一个肖特基二极管。

表 5-36 ADC 动态特性⁽¹⁾⁽²⁾⁽³⁾

符号	参数	测试条件		最小值	典型值	最大值	单位
ENOB	有效位数	$V_{\text{CCA}} = 2.0 \sim 3.6 \text{ V}$	单端模式	9.3	9.8	-	bit
		$V_{\text{REF+}} = V_{\text{REFBUF}} = 1.024 \text{ V}$	差分模式	10.1	10.7	-	
SINAD	信噪失真比	$f_{\text{ADC}} \leq 32 \text{ MHz}$	单端模式	58.2	60.7	-	dB

符号	参数	测试条件		最小值	典型值	最大值	单位
		12 位分辨率	差分模式	62.7	66.4	-	
			单端模式	59.5	61.6	-	
SNR	信噪比		差分模式	63.6	66.5	-	
			单端模式	65.9	70.5	-	
SFDR	无杂散动态范围		差分模式	71.7	83.4	-	
			单端模式	-64.2	-77.9	-	
THD	总谐波失真		差分模式	-69.8	-82.7	-	
ENOB	有效位数	$V_{CCA} = 2.0 \sim 3.6 \text{ V}$ $V_{REF+} = V_{REFBUF} = 1.5 \text{ V}$ $f_{ADC} \leq 32 \text{ MHz}$ 12 位分辨率	单端模式	9.7	10.3	-	bit
			差分模式	10.5	10.9	-	
SINAD	信噪失真比		单端模式	60.6	63.7	-	dB
			差分模式	65.0	67.6	-	
SNR	信噪比		单端模式	61.8	63.7	-	
			差分模式	65.6	67.9	-	
SFDR	无杂散动态范围		单端模式	69.2	87.6	-	
			差分模式	74.4	84.2	-	
THD	总谐波失真		单端模式	-66.8	-83.5	-	
			差分模式	-73.2	-82.0	-	
ENOB	有效位数	$V_{CCA} = 2.4 \sim 3.6 \text{ V}$ $V_{REF+} = V_{REFBUF} = 2.048 \text{ V}$ $f_{ADC} \leq 32 \text{ MHz}$ 12 位分辨率	单端模式	10.0	10.5	-	bit
			差分模式	10.8	11.2	-	
SINAD	信噪失真比		单端模式	62.4	65.0	-	dB
			差分模式	66.7	69.3	-	
SNR	信噪比		单端模式	63.3	65.1	-	
			差分模式	67.5	69.6	-	
SFDR	无杂散动态范围		单端模式	71.3	84.7	-	
			差分模式	79.5	84.6	-	
THD	总谐波失真		单端模式	-69.5	-81.9	-	
			差分模式	-74.8	-80.8	-	
ENOB	有效位数	$V_{CCA}=2.8 \sim 3.6 \text{ V}$ $V_{REF+} = V_{REFBUF} = 2.5 \text{ V}$ $f_{ADC} \leq 32 \text{ MHz}$ 12 位分辨率	单端模式	10.2	10.7	-	bit
			差分模式	10.9	11.3	-	
SINAD	信噪失真比		单端模式	63.5	66.1	-	dB
			差分模式	67.8	70.0	-	
SNR	信噪比		单端模式	64.3	66.4	-	
			差分模式	68.7	70.2	-	
SFDR	无杂散动态范围		单端模式	74.2	78.5	-	
			差分模式	80.6	86.6	-	
THD	总谐波失真		单端模式	-71.6	-77.4	-	
			差分模式	-75.3	-83.3	-	
ENOB	有效位数	$V_{CCA} = 3.2 \sim 3.6 \text{ V}$ $V_{REF+} = V_{REFBUF} = 2.9 \text{ V}$ $f_{ADC} \leq 32 \text{ MHz}$ 12 位分辨率	单端模式	10.3	10.7	-	bit
			差分模式	11.1	11.3	-	
SINAD	信噪失真比		单端模式	64.2	66.3	-	dB
			差分模式	68.7	69.7	-	
SNR	信噪比		单端模式	65.3	67.0	-	
		差分模式	69.2	70.2	-		

符号	参数	测试条件	最小值	典型值	最大值	单位
SFDR	无杂散动态范围	单端模式	74.6	76.7	-	
		差分模式	82.1	79.7	-	
THD	总谐波失真	单端模式	-70.7	-74.1	-	
		差分模式	-78.5	-78.6	-	

1. 由设计保证，不在生产中测试。
2. ADC DC 测试之前先做校准。
3. ADC 精度与反向注入电流关系：需要避免在任何标准的模拟输入引脚上注入反向电流，因为这样会显著地降低另一个模拟输入引脚上正在进行的转换精度。建议在可能产生反向注入电流的标准模拟引脚上，（引脚与地之间）增加一个肖特基二极管。

5.3.16. 比较器特性

表 5-37 比较器特性⁽¹⁾

符号	参数	条件		最小值	典型值	最大值	单位
V _{CCA}	比较器供电电压	-		2.0	-	3.6	V
V _{IN}	输入电压范围	-		0	-	V _{CC}	V
t _{START}	启动时间	高速模式		-	-	5	μs
		中速模式		-	-	15	
t _D	比较延时	高速模式	200 mV 阶跃 100 mV 过驱动电压	-	40	70	ns
			>200 mV 阶跃 100 mV 过驱动电压	-	-	85	
		中速模式	200 mV 阶跃 100 mV 过驱动电压	-	1	2.5	μs
			>200 mV 阶跃 100 mV 过驱动电压	-	-	3.4	
		比较延时 (OPA2 作为比较器)	200 mV 阶跃 100 mV 过驱动电压		-	1	3
V _{offset}	失调电压	-		-	±10	-	mV
V _{hys}	迟滞电压	无迟滞功能		-	0	-	mV
		有迟滞功能		-	20	-	
I _{CCA}	V _{CCA} 工作电流	高速模式	静态功耗	-	450	720	μA
			动态功耗, 输入信号为过驱动电压 100 mV, 50 kHz 的方波	-	450	-	
		中速模式	静态功耗	-	10	20	
			动态功耗, 输入信号为过驱动电压 100 mV, 50 kHz 的方波	-	12	-	
I _{sleep}	关机电流	-	-	-	10	-	nA

1. 由设计保证，不在生产中测试。

5.3.17. 运算放大器特性

表 5-38 运算放大器特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
V_{CCA}	供电电压	-	2.2	3.3	3.6	V
V_{IN}	输入电压范围	-	0	-	V_{CCA}	V
V_{OS}	失调电压	25 °C, 输出无负载	-	-	±3	mV
		全电压, 全温度	-	-	±5	
I_{LOAD}	驱动电流	-	-	-	2.5	mA
C_{LOAD}	负载电容	-	-	-	50	pF
R_{LOAD}	负载电阻	-	4	-	-	kΩ
CMRR	共模抑制比	频率 1 kHz	-	60	-	dB
PSRR	电源抑制比 (相对于 V_{CCA}) (静态直流测量)	频率 1 kHz, $C_{LOAD} \leq 50$ pF, $R_{LOAD} \geq 4$ kΩ, $V_{com} = V_{CCA}/2$	-	80	-	dB
		频率 1 MHz, $C_{LOAD} \leq 50$ pF, $R_{LOAD} \geq 4$ kΩ, $V_{com} = V_{CCA}/2$	40	-	-	
		频率 10 MHz, $C_{LOAD} \leq 50$ pF, $R_{LOAD} \geq 4$ kΩ, $V_{com} = V_{CCA}/2$	20	-	-	
GBW	带宽	$200 \text{ mV} \leq V_{out} \leq V_{CCA}-200 \text{ mV}$	5	10	-	MHz
SR	压摆率 (从 10% * V_{CCA} 到 90 %* V_{CCA})	$C_L = 50$ pF	2.5	6.5	-	V/μs
V_{OHSAT}	最大输出饱和电压	$I_{LOAD} = \text{max}$ or $R_{LOAD} = \text{min}$, Input at V_{CCA} . 跟随模式	$V_{CCA}-100$	-	-	mV
V_{OLSAT}	最小输出饱和电压	$I_{LOAD} = \text{max}$ or $R_{LOAD} = \text{min}$, Input at 0. 跟随模式	-	-	100	mV
Φ_m	相位裕度	跟随模式, $V_{com} = V_{CCA}/2$	55	65	-	°
GM	增益裕度	跟随模式, $V_{com} = V_{CCA}/2$	8	-	-	dB
t_{SU}	建立时间 (关闭状态到输出为 98 %* V_{CCA})	$C_{LOAD} \leq 50$ pF, $R_{LOAD} \geq 4$ kΩ, 跟随模式	-	3	6	μs
eN	电压噪声密度	1 kHz, 输出电阻负载 4 kΩ	-	250	-	uV/√Hz
		10 kHz, 输出电阻负载 4 kΩ	-	90	-	
I_{CCA}	OPA 工作电流	无负载, 跟随模式	-	1.8	2.5	mA

1. 由设计保证, 不在生产中测试。

5.3.18. 温度传感器特性

表 5-39 温度传感器特性

符号	参数	最小值	典型值	最大值	单位
$T_L^{(1)}$	V_{SENSE} 相对于温度的线性度	-	±1	-	°C
Avg_Slope ⁽¹⁾	平均斜率	2.4	2.6	2.8	mV/°C
$V_{30}^{(1)}$	30 °C 时的电压	0.66	0.68	0.70	V
$t_{START}^{(2)}$	建立时间	-	70	150	μs
$t_{S_temp}^{(2)(3)}$	当读取温度时的 ADC 采样时间	20	-	-	μs

1. 由设计保证，不在生产中测试。
2. 数据基于考核结果，不在生产中测试。
3. 最短的采样时间可以由应用程序通过多次循环决定。

5.3.19. 内置参考电压 (V_{REFINT}) 特性

表 5-40 内置参考电压 (V_{REFINT}) 特性

符号	参数	最小值	典型值	最大值	单位
V_{REFINT}	内部参考电压	1.17	1.2	1.23	V
$t_{S_vrefint}^{(1)}$	读内部参考电压时, ADC 采样时间	10	-	-	μs
t_{START}	启动时间	-	10	15	μs
$T_{Coeff}^{(1)}$	温度系数	-	100	-	ppm/°C

1. 由设计保证，不在生产中测试。

5.3.20. 内置参考电压 (V_{REFBUF}) 特性

表 5-41 内置参考电压 (V_{REFBUF}) 特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{CCA}	模拟供电电压	1.024 V 内置参考电压	2.0	-	3.6	V
		1.5 V 内置参考电压	2.0	-	3.6	
		2.048 V 内置参考电压	2.4	-	3.6	
		2.5 V 内置参考电压	2.8	-	3.6	
		2.9 V 内置参考电压	3.2	-	3.6	
$V_{REF1024}$	1.024 V 内置参考电压	$T_A = 25\text{ }^{\circ}\text{C}$, $V_{CC} = 3.3\text{ V}$	1.014	1.024	1.034	V
V_{REF15}	1.5 V 内置参考电压	$T_A = 25\text{ }^{\circ}\text{C}$, $V_{CC} = 3.3\text{ V}$	1.485	1.5	1.515	V
$V_{REF2048}$	2.048 V 内置参考电压	$T_A = 25\text{ }^{\circ}\text{C}$, $V_{CC} = 3.3\text{ V}$	2.028	2.048	2.068	V
V_{REF25}	2.5 V 内置参考电压	$T_A = 25\text{ }^{\circ}\text{C}$, $V_{CC} = 3.3\text{ V}$	2.475	2.5	2.525	V
V_{REF29}	2.9 V 内置参考电压	$T_A = 25\text{ }^{\circ}\text{C}$, $V_{CC} = 3.3\text{ V}$	2.871	2.900	2.929	V
$T_{coeff_VREFBUF}^{(1)}$	V_{REFBUF} 温度系数	$T_A = -40 \sim 105\text{ }^{\circ}\text{C}$	-	100	-	ppm/°C
$I_{CCA}(V_{REFBUF})$	V_{CCA} 功耗	-	-	350	450	μA

1. 由设计保证，不在生产中测试。

5.3.21. 定时器特性

表 5-42 定时器特性

符号	参数	条件	最小值	最大值	单位
$t_{res}(TIM)$	定时器分辨时间	-	1	-	$t_{TIMxCLK}$
		$f_{TIMxCLK} = 128\text{ MHz}$	-	-	ns
f_{EXT}	CH1 ~ CH4 的定时器外部时钟频率	-	0	$f_{TIMxCLK}/2$	MHz
		$f_{TIMxCLK} = 128\text{ MHz}$	-	-	MHz
Res_{TIM}	定时器分辨率	-	-	16	bit
$t_{COUNTER}$	选择内部时钟时 16 位计数器时钟周期	-	1	65536	$t_{TIMxCLK}$
		$f_{TIMxCLK} = 128\text{ MHz}$	-	-	μs

符号	参数	条件	最小值	最大值	单位
$t_{\text{MAX_COUNT}}$	最大可能计数	-	-	65536×65536	t_{TIMxCLK}
		$f_{\text{TIMxCLK}} = 128 \text{ MHz}$	-	-	s

表 5-43 IWDG 特性 (时钟选择 LSI)

预分频	PR[2:0]	最小溢出值	最大溢出值	单位
/4	0	0.122	499.712	ms
/8	1	0.244	999.424	
/16	2	0.488	1998.848	
/32	3	0.976	3997.696	
/64	4	1.952	7995.392	
/128	5	3.904	15990.784	
/256	6 or 7	7.808	31981.568	

表 5-44 WWDG 特性 (时钟选择 48 MHz PCLK)

预分频	WDGTB[1:0]	最小溢出值	最大溢出值	单位
1*4096	0	0.085	5.461	ms
2*4096	1	0.171	10.923	
4*4096	2	0.341	21.845	
8*4096	3	0.683	43.691	

5.3.22. 通讯口特性

5.3.22.1. I²C 接口特性

I²C 接口满足 I²C 总线 规格和用户手册的要求:

- 标准模式 (100 kHz)
- 快速模式 (400 kHz)
- 快速增强模式 (1 MHz)

I²C SDA 和 SCL 管脚具有模拟滤波功能, 参见下表。

表 5-45 I²C 滤波器特性

符号	参数	最小值	最大值	单位
t_{AF}	限制过滤器抑制的尖峰持续时间 (短于限制持续时间的尖峰被抑制)	50	260	ns

I²C 接口符合标准 I²C 通信协议, 但有如下限制: SDA 和 SCL 不是真的引脚, 当配置为开漏输出时, 在引出脚和 V_{CC} 之间的 PMOS 管被关闭, 但仍然存在。

表 5-46 I²C 接口特性

符号	参数	标准 I ² C ⁽¹⁾		快速 I ² C ⁽¹⁾⁽²⁾		快速增强 I ² C ⁽¹⁾⁽²⁾		单位
		最小值	最大值	最小值	最大值	最小值	最大值	
$t_{\text{W(SCLL)}}$	SCL 时钟低时间	4.7	-	1.3	-	0.5	-	μs
$t_{\text{W(SCLH)}}$	SCL 时钟高时间	4	-	0.6	-	0.2	-	μs
$t_{\text{SU(SDA)}}$	SDA 建立时间	2000	-	800	-	100	-	ns
$t_{\text{H(SDA)}}$	SDA 数据保持时间	250	-	250	-	130	-	
$t_{\text{r(SDA)}} / t_{\text{r(SDL)}}$	SDA 和 SCL 上升时间	-	1000	-	300	-	120	
$t_{\text{f(SDA)}} / t_{\text{f(SDL)}}$	SDA 和 SCL 下降时间	-	300	-	300	-	120	

符号	参数	标准 I ² C ⁽¹⁾		快速 I ² C ⁽¹⁾⁽²⁾		快速增强 I ² C ⁽¹⁾⁽²⁾		单位
		最小值	最大值	最小值	最大值	最小值	最大值	
$t_{h(STA)}$	开始条件保持时间	4	-	0.6	-	0.2	-	μs
$t_{su(STA)}$	重复的开始条件建立时间	4.7	-	0.6	-	0.2	-	
$t_{su(STO)}$	停止条件建立时间	4	-	0.6	-	0.2	-	
$t_{w(STO:STA)}$	停止条件至开始条件的时 间 (总线空闲)	4.7	-	1.3	-	0.5	-	
C_b	每条总线的容性负载	-	400	-	400	-	400	pF

1. 由设计保证，不在生产中测试。
2. 为达到标准模式 I²C 的最大频率， f_{PCLK} 必须大于 4 MHz。为达到快速模式 I²C 的最大频率， f_{PCLK} 必须大于 8 MHz。为达到快速增强模式 I²C 的最大频率， f_{PCLK} 必须大于 16 MHz。

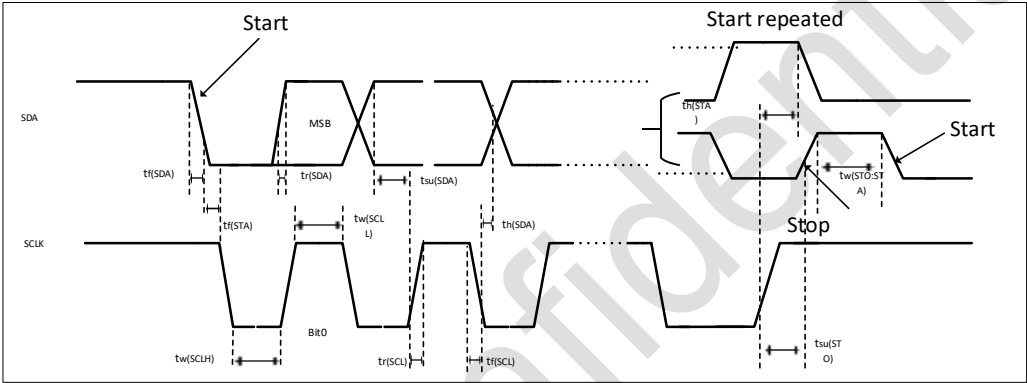


图 5-4 I²C 总线时序图

5.3.22.2. SPI 接口特性

表 5-47 SPI 接口特性

符号	参数	条件	最小值	典型值	最大值	单位
$f_{SCK}/t_c(SCK)$	SPI 时钟频率	主模式 Range 1	-	-	64	MHz
		主模式 Range 2	-	-	48	
		主模式 Range 3	-	-	32	
		从模式 Range 1	-	-	36	
		从模式 Range 2	-	-	28	
		从模式 Range 3	-	-	22	
$t_{su(NSS)}$	NSS 建立时间	从模式	$4t_{PCLK}$	-	-	ns
$t_h(NSS)$	NSS 保持时间	从模式	$2t_{PCLK}$	-	-	
$t_w(SCKH)$ $t_w(SCKL)$	SCK 高电平/低电平时间	主模式, presc = 2	$t_{pclk}-1$	t_{pclk}	$t_{pclk} + 1$	
$t_{su(MI)}$	数据输入建立时间	主模式	6	-	-	
$t_{su(SI)}$		从模式	5	-	-	
$t_h(MI)$	数据输入保持时间	主模式	5.5	-	-	
$t_h(SI)$		从模式	1	-	-	
$t_a(SO)$	数据输出访问时间	从模式	9	-	34	
$t_{dis(SO)}$	数据输出禁止时间	从模式	9	-	16	
$t_v(SO)$	数据输出有效时间	从模式, presc = 2	-	9	12	

符号	参数	条件	最小值	典型值	最大值	单位
$t_{V(MO)}$	数据输出保持时间	主模式 (使能边沿之后)	-	3.5	4.5	
$t_{h(SO)}$		从模式 (使能边沿之后)	6 ⁽¹⁾	-	-	
$t_{h(MO)}$		主模式 (使能边沿之后)	2	-	-	

1. 在 Master 发送的 SCK 占空比接收沿和发送沿之间宽的情况下，Slave 在发送沿之前就更新数据。

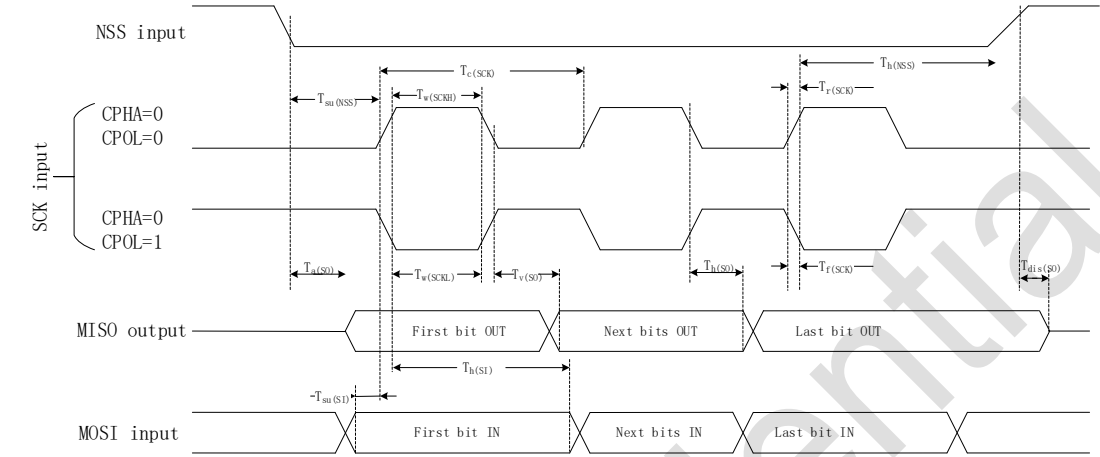


图 5-5 SPI 时序图-从模式且 CPHA = 0

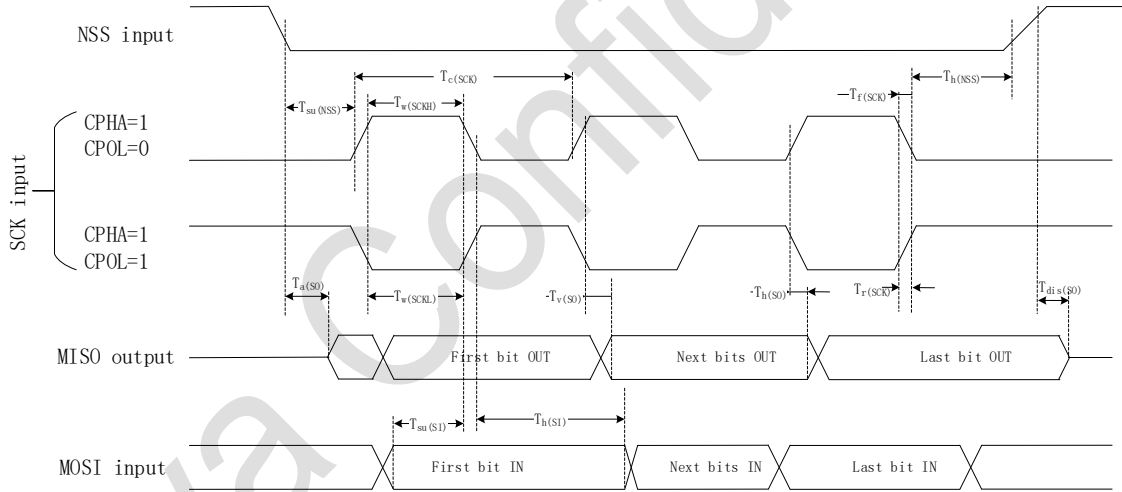
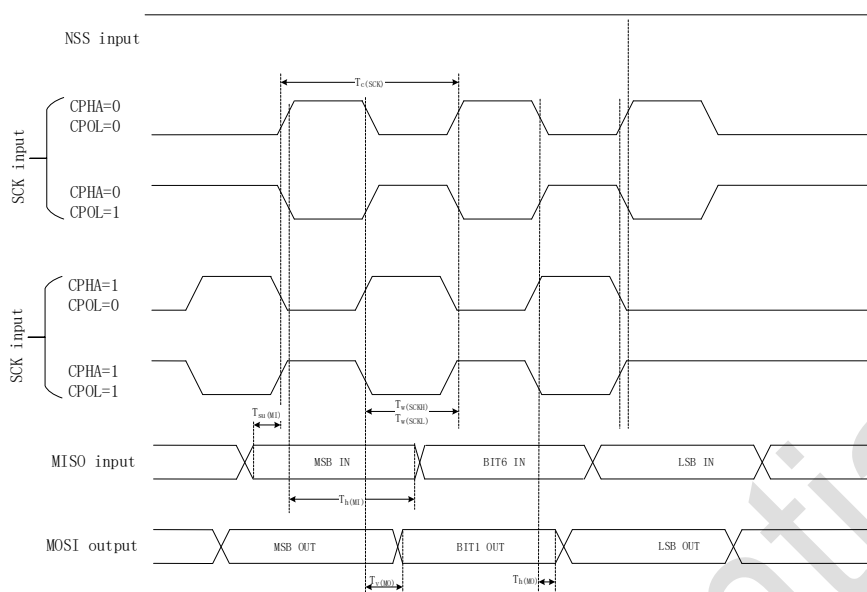


图 5-6 SPI 时序图-从模式且 CPHA = 1⁽¹⁾

1. 测量点设置于 CMOS 电平：0.3*V_{CC} 和 0.7*V_{CC}

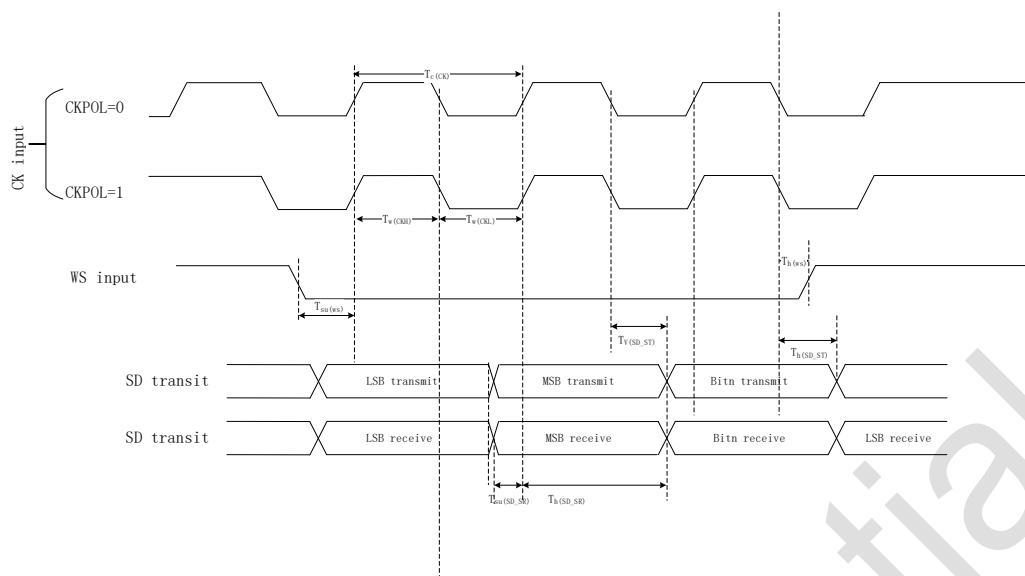
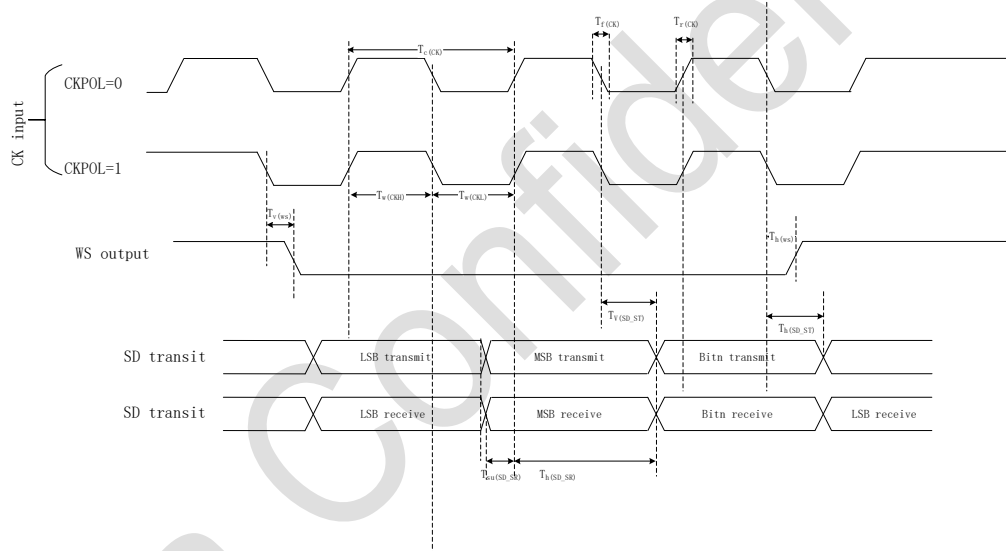
图 5-7 SPI 时序图-主模式⁽¹⁾

1. 测量点设置于 CMOS 电平: $0.3 \cdot V_{CC}$ 和 $0.7 \cdot V_{CC}$

5.3.22.3. I²S 接口特性

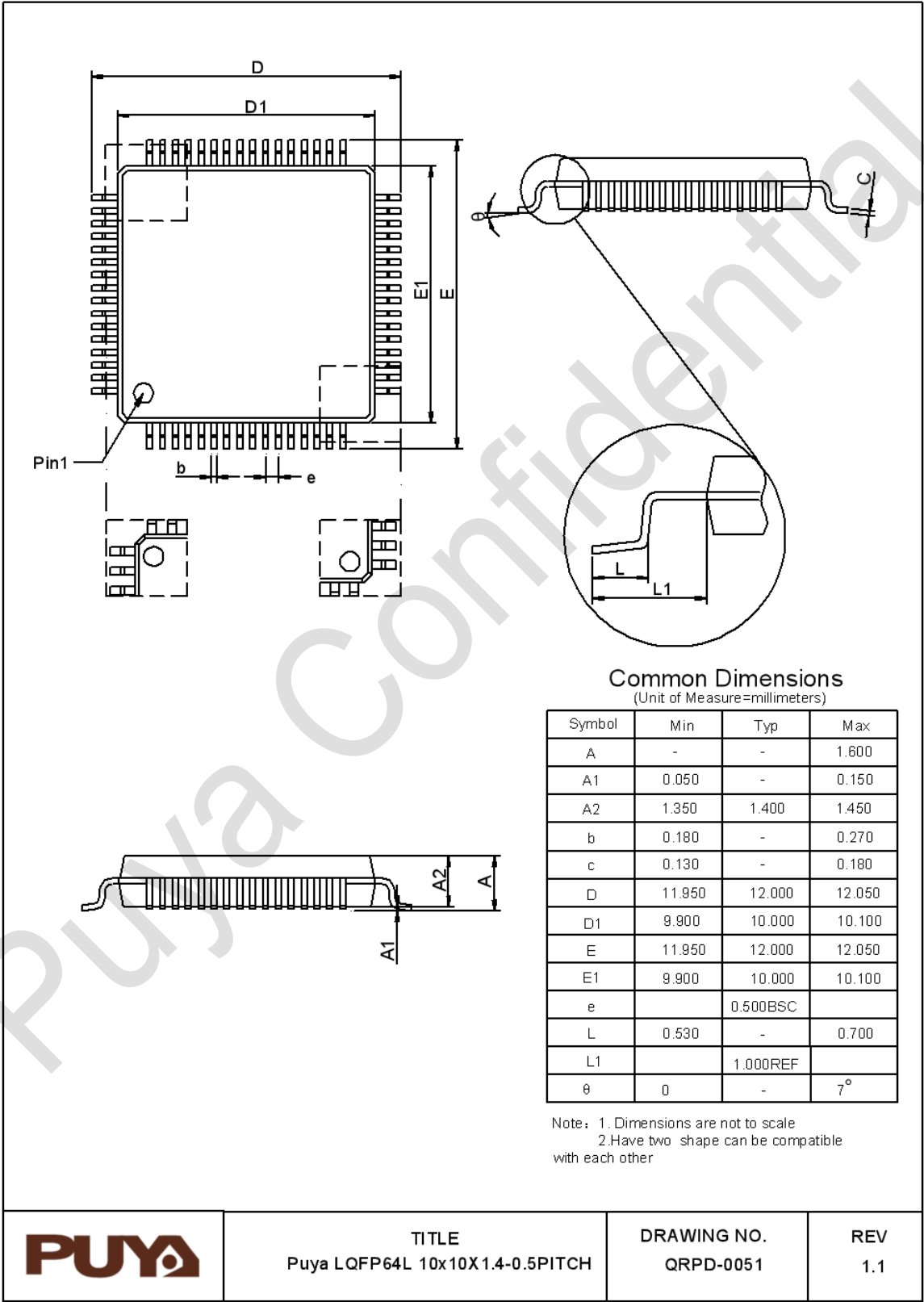
表 5-48 I²S 接口特性

符号	参数	条件		最小值	最大值	单位
f _s	I ² S 音频采样频率	-		8	192	kHz
f _{MCLK}	I ² S 主时钟输出	-		0.256 x f _s	0.256 x f _s	MHz
f _{CK1} /t _{c(CK)}	I ² S 时钟频率	主模式数据		-	64 x f _s	MHz
		从模式数据		-	64 x f _s	
D _{CK}	I ² S 时钟占空比	从模式接收		30	70	%
t _{r(CK)} t _{f(CK)}	I ² S 时钟上升/下降时间	电容负载 C _L = 50 pF		-	8	ns
t _{v(WS)}	W _S 有效时间	主模式		-	2	
t _{h(WS)}	W _S 保持时间	主模式		3	-	
		从模式		2	-	
t _{su} (W _S)	W _S 建立时间	从模式		4	-	
t _{su} (SD_MR)	数据输入建立时间	主接收器		3	-	
t _{su} (SD_SR)		从接收器		4	-	
t _h (SD_MR)	数据输入保持时间	主接收器		5	-	
t _h (SD_SR)		从接收器		2	-	
t _v (SD_ST)	数据输出有效时间	从接收器 (使能边沿之后)	V _{CC} = 2.7 ~ 3.6 V	-	15	
				V _{CC} = 2.0 ~ 3.6 V	-	
t _v (SD_MT)		主接收器 (使能边沿之后)		-	2	
t _h (SD_ST)	数据输出保持时间	从接收器 (使能边沿之后)		7	-	
t _h (SD_MT)		主接收器 (使能边沿之后)		1	-	

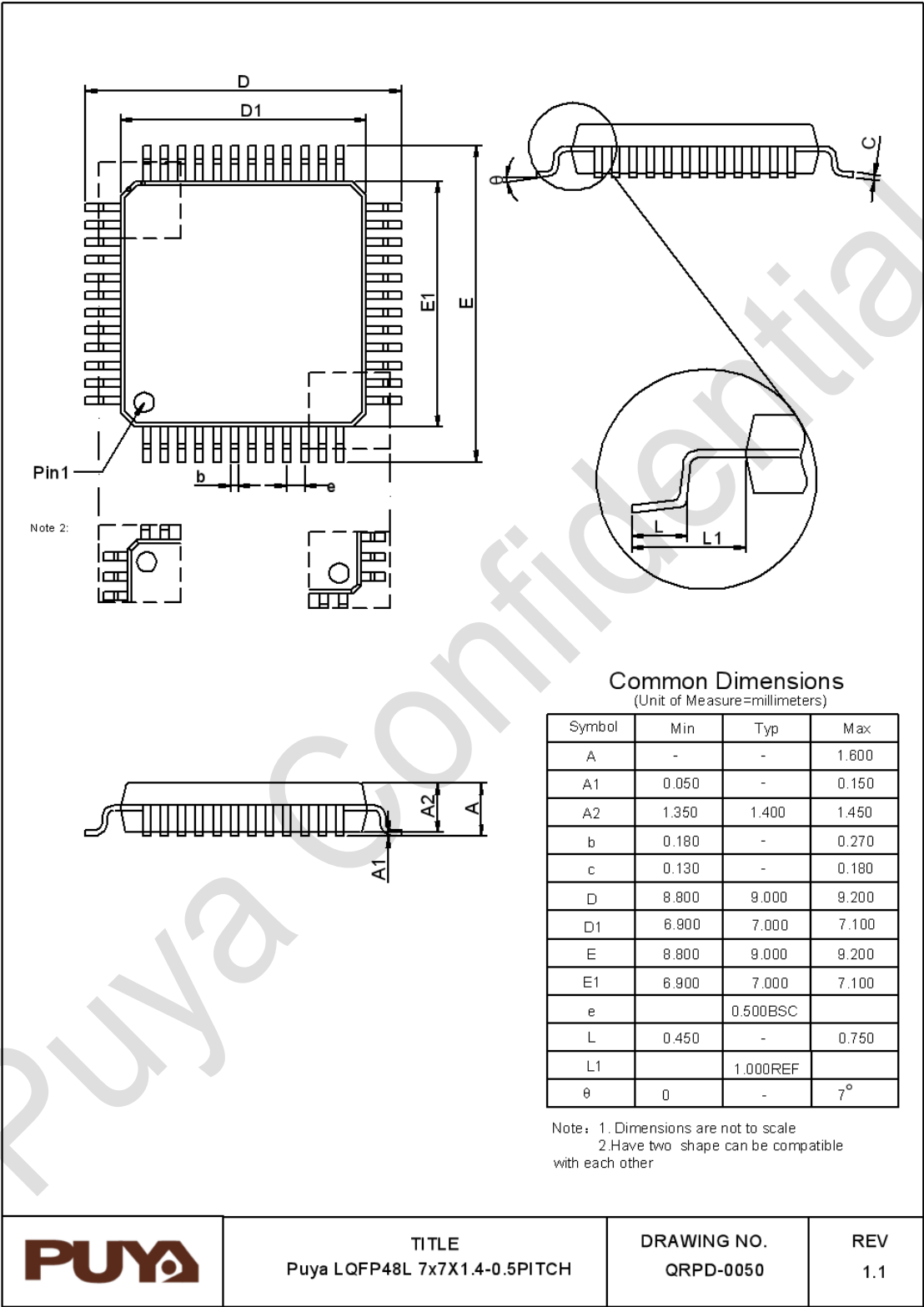
图 5-8 I²S 从模式时序图 (Philips 协议)图 5-9 I²S 主模式时序图 (Philips 协议)

6. 封装信息

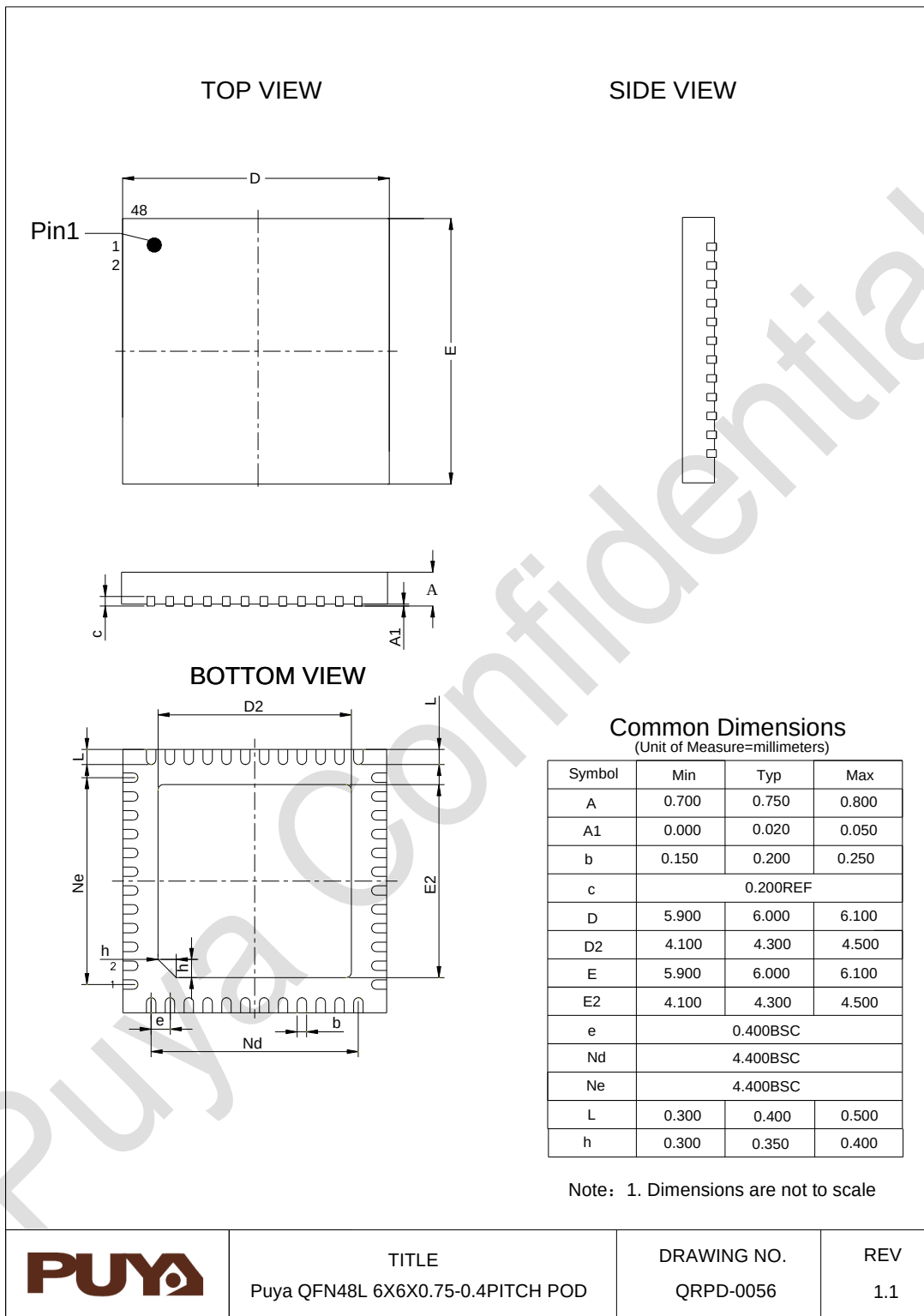
6.1. LQFP64 封装尺寸



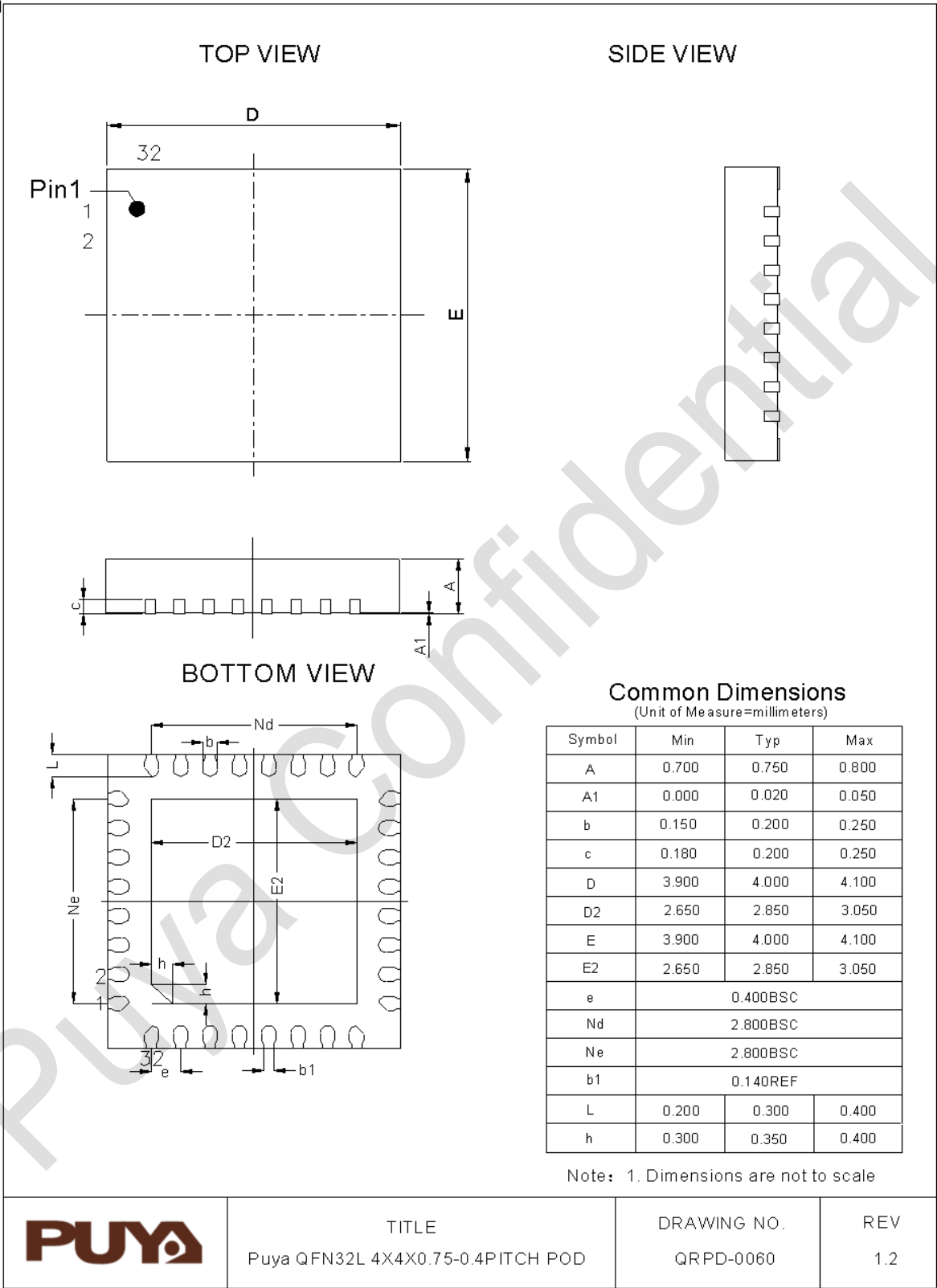
6.2. LQFP48 封装尺寸



6.3. QFN48 封装尺寸



6.4. QFN32 (4*4) 封装尺寸



7. 订购信息

Example:

	PY	32	F	410	R1	B	T	7	x
Company									
Product family 32bit MCU									
Product type F = General purpose									
Sub-family 410 = PY32F410xx									
Pin count R1 = 64 pins Pinout1 C1 = 48 pins Pinout1 C2 = 48 pins Pinout2 K1 = 32 pins Pinout1									
User code memory size B = 128 KB									
Package T = LQFP U = QFN									
Temperature range 7 = -40 ~ +105°C									
Options xxx = Code ID of programmed parts(includes packing type) TR = Tape and reel packing Blank = Tray packing									

8. 版本历史

版本	日期	更新记录
V0.1	2024.04.02	预发布版本
V0.2	2024.04.20	更新表1-1、表3-1和表3-2
V0.3	2024.05.10	更新产品特性及功能描述
V0.4	2024.10.24	1. 更新简介 2. 更新部分格式
V0.5	2025.02.24	初始版本
V0.6	2025.03.05	1. 新增QFN48、QFN32封装 2. 更新表 5-22 内部高频时钟源特性
V0.7	2025.03.31	更新表 3-2 引脚定义
V0.8	2025.04.29	1. 新增QFN48 pinput2 2. 更新表5-16 低功耗模式唤醒时间、表5-25 存储器特性、表5-39 温度传感器特性 3. 更新 QFN32 (4*4) 封装尺寸图
V0.9	2025.07.30	删除 PY32F410C1BU7TR
V1.0	2025.08.15	1. 新增电压调节功能 2. ADC内部新增OPA通道 3. 补充工作电流特性和低功耗唤醒时间数据



Puya Semiconductor Co., Ltd.

声 明

普冉半导体(上海)股份有限公司 (以下简称: “Puya”) 保留更改、纠正、增强、修改 Puya 产品和/或本文档的权利, 恕不另行通知。用户可在下单前获取产品的最新相关信息。

Puya 产品是依据订单时的销售条款和条件进行销售的。

用户对 Puya 产品的选择和使用承担全责, 同时若用于其自己或指定第三方产品上的, Puya 不提供服务支持且不对此类产品承担任何责任。

Puya 在此不授予任何知识产权的明示或暗示方式许可。

Puya 产品的转售, 若其条款与此处规定不一致, Puya 对此类产品的任何保修承诺无效。

任何带有 Puya 或 Puya 标识的图形或字样是普冉的商标。所有其他产品或服务名称均为其各自所有者的财产。

本文档中的信息取代并替换先前版本中的信息。

普冉半导体(上海)股份有限公司 - 保留所有权利